



Ifu

501.43662X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Y. SATO, et al.
Application No.: 10/820,799
Filed: April 9, 2004
For: SEMICONDUCTOR DEVICE
Art Unit: 2811
Examiner: Unknown

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 9, 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, the Applicants hereby claim the right of priority based on the following foreign application filed in Japan:

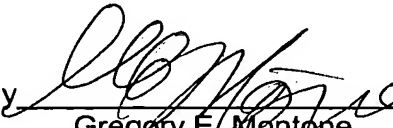
Application No. 2003-107245, filed April 11, 2003.

A certified copy of said Japanese application is attached hereto.

Kindly charge any additional fees due, or credit overpayment of fees, to the deposit account of Antonelli, Terry, Stout & Kraus, LLP Deposit Account No. 01-2135 (Docket No. 501.43662X00).

Respectfully submitted,
ANTONELLI, TERRY, STOUT & KRAUS, LLP

By


Gregory E. Montone
Reg. No. 28,141

GEM/dlt

1300 North Seventeenth Street, Suite 1800
Arlington, Virginia 22209
Telephone: (703) 312-6600
Facsimile: (703) 312-6666

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 7 2 4 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 0 7 2 4 5]

願 人
Applicant(s): 株式会社日立製作所
 株式会社アキタ電子システムズ

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 4 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

出証番号 出証特 2 0 0 4 - 3 0 2 9 4 6 0



【書類名】 特許願

【整理番号】 H03001761

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 佐藤 友祐

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 小山 賢治

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 三浦 俊広

【発明者】

 【住所又は居所】 秋田県河辺郡雄和町相川字後野 8 5 番地 株式会社アキ
 タ電子システムズ内

 【氏名】 京極 敏彦

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

 【識別番号】 000100997

 【氏名又は名称】 株式会社アキタ電子システムズ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 電圧を第 2 電圧に変換する電源制御回路を構成するバイポーラトランジスタが形成された第 1 半導体チップと、前記第 2 電圧を電源とする増幅回路が形成された第 2 半導体チップと、前記第 1、第 2 半導体チップを搭載する配線基板とを備え、

前記配線基板は、前記第 1、第 2 半導体チップが搭載される第 1 面と、前記第 1 面の反対側の第 2 面とを備え、

前記第 1 面には、前記バイポーラトランジスタのエミッタ電極用の第 1 電極と、前記バイポーラトランジスタのコレクタ電極用の第 2 電極とが設けられ、

前記第 2 面には、前記第 1 電圧用の第 3 電極と、前記第 2 電圧用の第 4 電極とが設けられ、

前記第 1 面の第 1 電極と、前記第 2 面の第 3 電極とを電氣的に接続する前記配線基板中の配線経路には、前記配線基板の第 1、第 2 面に交差する方向に延在する接続部が設けられており、前記第 1 電極および第 3 電極には複数本の前記接続部が接合されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記第 1 面の第 2 電極と前記第 2 面の第 4 電極とを電氣的に接続する前記配線基板中の配線経路には、前記配線基板の第 1、第 2 面に交差する方向に延在する接続部が設けられており、前記第 2 電極および第 4 電極には複数本の前記接続部が接合されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記第 1 半導体チップに設けられたエミッタ電極と、前記配線基板の第 1 電極とがボンディングワイヤにより電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、前記ボンディングワイヤは、前記第 1 電極の前記接続部が接合されていない領域に接合されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、前記配線基板は携帯電

話に内蔵されることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の半導体装置において、前記増幅回路は複数の周波数帯の信号増幅に対応可能な構成を有することを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、前記複数の周波数帯は、900MHz 帯、1800MHz 帯および1900MHz 帯であることを特徴とする半導体装置。

【請求項 8】 請求項 1 記載の半導体装置において、前記第 1 電極および第 3 電極に接合されている複数本の前記接続部の各々が、前記第 1 電極から第 3 電極に達するように直線的に延在した状態で設けられていることを特徴とする半導体装置。

【請求項 9】 請求項 1 記載の半導体装置において、前記第 1 面の第 1 電極と、前記第 2 面の第 3 電極とを電氣的に接続する配線経路には、前記配線基板の第 1、第 2 面に沿う方向に延在する配線が設けられており、前記第 1 電極および前記配線の配線経路長さが、前記配線基板の第 2 面に配置された前記第 3、第 4 電極を含む複数の電極のうちの 3 個分の長さよりも短いことを特徴とする半導体装置。

【請求項 10】 請求項 1 記載の半導体装置において、前記配線基板の第 2 面の第 3 電極を、前記第 1 面の第 1 半導体チップのエミッタ電極の直下に設けたことを特徴とする半導体装置。

【請求項 11】 請求項 1 記載の半導体装置において、前記接続部は前記配線基板に形成されたビアホール内に導体膜を設けることで形成されていることを特徴とする半導体装置。

【請求項 12】 第 1 電圧を第 2 電圧に変換する電源制御回路のバイポーラトランジスタが形成された第 1 半導体チップと、前記第 2 電圧を電源とする増幅回路が形成された第 2 半導体チップと、前記第 1、第 2 半導体チップを搭載する配線基板とを備え、

前記配線基板は、前記第 1、第 2 半導体チップが搭載される第 1 面と、前記第 1 面の反対側の第 2 面とを備え、

前記第 1 面には、前記バイポーラトランジスタのエミッタ電極用の第 1 電極と

、前記バイポーラトランジスタのコレクタ電極用の第 2 電極とが設けられ、

前記第 2 面には、前記配線基板の配線経路を通じて前記第 1 電極と電氣的に接続される第 1 電圧用の第 3 電極と、前記配線基板中の配線経路を通じて前記第 2 電極と電氣的に接続される第 2 電圧用の第 4 電極とが設けられ、

前記第 3 電極と第 4 電極とが互いに隣接して配置されていることを特徴とする半導体装置。

【請求項 1 3】 請求項 1 2 記載の半導体装置において、前記第 1 面の第 1 電極と、前記第 2 面の第 3 電極とを電氣的に接続する配線経路には、前記配線基板の第 1、第 2 面に交差する方向に延在する接続部が設けられており、前記第 1 電極および第 3 電極には複数本の前記接続部が接合されていることを特徴とする半導体装置。

【請求項 1 4】 請求項 1 2 記載の半導体装置において、前記第 1 半導体チップに設けられたエミッタ電極と、前記配線基板の第 1 電極とがボンディングワイヤにより電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 5】 請求項 1 4 記載の半導体装置において、前記第 1 面の第 1 電極と、前記第 2 面の第 3 電極とを電氣的に接続する配線経路には、前記配線基板の第 1、第 2 面に交差する方向に延在する接続部が設けられており、前記第 1 電極および第 3 電極には複数本の前記接続部が接合されており、前記ボンディングワイヤは、前記第 1 電極の前記接続部が接合されていない領域に接合されていることを特徴とする半導体装置。

【請求項 1 6】 請求項 1 2 記載の半導体装置において、前記第 1 面の第 2 電極と前記第 2 面の第 4 電極とを電氣的に接続する配線経路には、前記配線基板の第 1、第 2 面に交差する方向に延在する接続部が設けられており、前記第 2 電極および第 4 電極には複数本の前記接続部が接合されていることを特徴とする半導体装置。

【請求項 1 7】 請求項 1 2 記載の半導体装置において、前記配線基板の第 2 面の第 3 電極を、前記第 1 面の第 1 半導体チップのエミッタ電極の直下に設けたことを特徴とする半導体装置。

【請求項 1 8】 第 1 電圧を第 2 電圧に変換する電源制御回路の電界効果ト

ランジスタが形成された第1半導体チップと、前記第2電圧を電源とする増幅回路が形成された第2半導体チップと、前記第1、第2半導体チップを搭載する配線基板とを備え、

前記配線基板は、前記第1、第2半導体チップが搭載される第1面と、前記第1面の反対側の第2面とを備え、

前記第1面には、前記電界効果トランジスタのソース電極用の第1電極と、前記電界効果トランジスタのドレイン電極用の第2電極とが設けられ、

前記第2面には、前記第1電圧用の第3電極と、前記第2電圧用の第4電極とが設けられ、

前記第1面の第1電極と、前記第2面の第3電極とを電氣的に接続する配線経路には、前記配線基板の第1、第2面に交差する方向に延在する接続部が設けられており、前記第1電極および第3電極には複数本の前記接続部が接合されていることを特徴とする半導体装置。

【請求項19】 請求項18記載の半導体装置において、前記第1面の第2電極と前記第2面の第4電極とを電氣的に接続する配線経路には、前記配線基板の第1、第2面に交差する方向に延在する接続部が設けられており、前記第2電極および第4電極には複数本の前記接続部が接合されていることを特徴とする半導体装置。

【請求項20】 請求項18記載の半導体装置において、前記第1半導体チップに設けられたソース電極と、前記配線基板の第1電極とがボンディングワイヤにより電氣的に接続されており、前記ボンディングワイヤは、前記第1電極の前記接続部が接合されていない領域に接合されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置技術に関し、特に、RF (Radio Frequency) パワーモジュールに適用して有効な技術に関するものである。

【0002】

【従来の技術】

本発明者が検討した R F パワーモジュールは、例えば携帯電話等のような通信機器に用いられる信号増幅用の電子部品であり、信号増幅用の増幅回路と、その増幅回路に所望の電源電圧を供給する電源制御回路とを有している。上記電源制御回路のスイッチング素子は、上記増幅回路に所望の電源電圧を供給するしないを切り換える素子であり、例えばバイポーラトランジスタまたは M O S ・ F E T (Metal Oxide Semiconductor Field Effect Transistor) で構成されている。このスイッチング素子が形成された半導体チップは、上記増幅回路を構成する半導体チップとは別にパッケージングされて、上記パワーモジュールを搭載するプリント配線基板上に搭載されている。

【0 0 0 3】

なお、例えば特開 2 0 0 2 - 1 1 1 4 1 5 号公報には、複数の増幅系を有する高周波電力増幅装置およびこれを有する多バンド通信方式の無線通信機器について開示されている（特許文献 1 参照）。

【0 0 0 4】**【特許文献 1】**

特開 2 0 0 2 - 1 1 1 4 1 5 号公報

【0 0 0 5】**【発明が解決しようとする課題】**

ところが、本発明者は、上記スイッチング素子用の半導体チップを、上記増幅回路用の半導体チップが搭載されたモジュール基板上に搭載することで、上記通信機器の構成部品数を減らし、通信機器の小型化を進めたところ、上記モジュール基板の配線経路のうち、上記スイッチング素子用の半導体チップが電氣的に接続される配線経路での抵抗が顕在化する問題が生じることを初めて見出した。そして、上記通信機器の電池の消耗等によりスイッチング素子用の半導体チップに供給される電源電圧が低くなると、スイッチング素子用の半導体チップが電氣的に接続されるモジュール基板中の配線経路での電圧降下が大きくなる結果、R F パワーモジュールの出力が十分に得られない場合がある、という問題が生じることを初めて見出した。

【0006】

本発明の目的は、半導体装置の出力特性を向上させることのできる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】**【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

すなわち、本発明は、電源制御回路のスイッチング素子用のトランジスタが形成された第1半導体チップと、前記電源制御回路からの電源電圧を電源とする増幅回路が形成された第2半導体チップと、前記第1、第2半導体チップを主面に搭載する配線基板とを備え、前記第1半導体チップの電源電極と、前記配線基板の裏面の電源電極とを接続する配線基板の配線経路に、前記配線基板の主裏面に交差する方向に延在する接続部を設け、前記第1半導体チップの電源電極と、前記配線基板の裏面の電源電極とに複数本の前記接続部を接合したものである。

【0010】**【発明の実施の形態】**

本願発明の実施の形態を詳細に説明する前に、本実施の形態における用語の意味を説明すると次の通りである。

【0011】

1. GSM (Global System for Mobile Communication) は、デジタル携帯電話に使用されている無線通信方式の1つまたは規格をいう。GSMには、使用する電波の周波数帯が3つあり、900MHz帯をGSM900または単にGSM、1800MHz帯をGSM1800またはDCS (Digital Cellular System) 1800若しくはPCN、1900MHz帯をGSM1900またはDCS1900若しくはPCS (Personal Communication Services) という。なお、G

SM1900は主に北米で使用されている。北米ではその他に850MHz帯のGSM850を使用する場合もある。

【0012】

2. GMSK (Gaussian filtered Minimum Shift Keying) 変調方式は、音声信号の通信に用いる方式で搬送波の位相を送信データに応じて位相シフトする方式である。

【0013】

3. EDGE (Enhanced Data GSM Environment) 変調方式は、データ通信に用いる方式でGMSK変調の位相シフトにさらに振幅シフトを加えた方式である。

【0014】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、本実施の形態では、電界効果トランジスタの代表例であるMOS・FET (Metal Oxide Semiconductor・Field Effect Transistor) をMOSと略し

、pチャネル型のMOSをpMOSと略し、nチャネル型のMOSをnMOSと略す。また、バイポーラトランジスタをBipと略す。また、本実施の形態では、便宜上、配線、電極およびビアホールを分けて記載するが、電極やビアホールも配線の下位概念として含むものとする。

【0015】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0016】

(実施の形態1)

本発明者が検討したRF (Radio Frequency) パワーモジュール (以下、単にパワーモジュールという) は、例えばGSM方式のネットワークを利用して情報を伝送するデジタル携帯電話に使用されるパワーモジュールであって、信号増幅用の増幅回路と、その増幅回路に所望の電源電圧を供給する電源制御回路とを有している。上記電源制御回路のスイッチング素子は、上記増幅回路に所望の電源電圧を供給するしないを切り換える素子であり、例えばBipまたはMOSで構成されている。上記電源制御回路の一部の回路は、上記複数の半導体チップの一部に設けられているが、上記スイッチング素子は、上記増幅回路が形成された半導体チップ (以下、増幅用のチップという) とは別の半導体チップに形成され、上記増幅用のチップとは別にパッケージングされて、上記パワーモジュールを搭載するプリント配線基板上に搭載されている。

【0017】

ところで、本発明者は、上記スイッチング素子が形成された半導体チップ (以下、スイッチ用のチップという) を、上記増幅用のチップが搭載されたモジュール基板上に実際に搭載することで、上記デジタル携帯電話の構成部品を減らしてデジタル携帯電話の小型化を進めたところ、上記モジュール基板の配線経路のうち、上記スイッチング素子の電源電極 (エミッタ電極およびコレクタ電極) が電気的に接続される配線経路での抵抗が顕在化する問題が生じることを初めて見出した。スイッチ用のチップをモジュール基板上に搭載したパワーモジュールの開発当初、増幅用のチップへの電源電圧を十分に供給できないことが判明し、その原因は、モジュール基板の配線のうち、スイッチ用のチップのエミッタ電極およ

びコレクタ電極が接続される配線の抵抗であることが判明した。本発明者が、さらにその原因を解析したところ、モジュール基板の配線構造に問題があることを本発明者は見出した。本発明者が検討したモジュール基板では、例えば次のような構造となっている。すなわち、スイッチ用のチップのエミッタ電極は1本のビアホールを通じてモジュール基板の内層配線に接続され、さらにその内層配線は1本のビアホールを通じてモジュール基板の裏面電極に電氣的に接続されている。また、スイッチ用のチップのコレクタ電極は1本のビアホールを通じてモジュール基板の裏面電極に電氣的に接続されている。このように、上記のような配線抵抗の問題認識の無いモジュール基板では、スイッチ用のチップのエミッタ電極およびコレクタ電極とモジュール基板の裏面電極とを結ぶ配線を強化する必要性もなくスイッチ用のチップのエミッタ電極およびコレクタ電極とモジュール基板の裏面電極とは専ら電氣的に接続されてさえいれば良いので、小型化の観点から配線の占有面積をできる限り小さくすることが優先される結果、上記のようにビアホールが1本しか配置されていない等、スイッチ用のチップのエミッタ電極およびコレクタ電極とモジュール基板の裏面電極とを結ぶ配線について十分な考慮がなされていないことが原因であることが判明した。上記のような配線抵抗の問題が評価段階で顕在化していない理由は、パワーモジュールの電氣的特性評価時に、スイッチング素子を外付けにしているために、モジュール基板中の配線が評価対象の回路に組み込まれず、モジュール基板中の配線の抵抗が評価結果に現れなかったことによると想定される。

【0018】

図1は、パワーモジュールPMの電氣的特性評価の説明図である。電氣的特性評価対象のパワーモジュールPMは、その裏面をマザーボードMBtの主面に対向させた状態で、マザーボードMBtの主面中央に搭載されている。パワーモジュールPMの裏面の電極は、マザーボードMBtの主面の配線CLmと電氣的に接続され、これを通じてマザーボードMBtの外周近傍に配置された電極CEmと電氣的に接続されている。電極CEmのうち、電極CEm1は電源電圧（第1電圧）Vdd用の電極であり、電極CEm2は電源電圧（第2電圧）Vcc用の電極である。パワーモジュールPMのモジュール基板MCBの主面には、上記増

幅用のチップ（第2半導体チップ）Cam1, Cam2, Cam3が搭載されている。これに対して、上記スイッチ用のチップ（第1半導体チップ）Cswは、モジュール基板MCB上には搭載されておらず、外付けされている。スイッチ用のチップCswのスイッチング素子は、例えばpnp型のBipからなり、そのBipのエミッタ電極Eがジャンパー線JLを通じて上記マザーボードMBtの電極CEm1に電氣的に接続され、そのBipのコレクタ電極Cおよびベース電極Bがジャンパー線JLを通じて上記モジュール基板MCBの配線と電氣的に接続されている。

【0019】

図2は、上記図1のパワーモジュールPMの電氣的特性評価時の等価回路を示している。ここでは、GSM900、GSM1800およびGSM1900の3つの周波数に利用できるトリプルバンド対応で、かつ、GMSK変調方式およびEDGE変調方式を使用可能なパワーモジュールPMの等価回路を例示している。

【0020】

このパワーモジュールPMは、高周波電力増幅回路（上記増幅回路）1と、動作電圧制御回路（上記電源制御回路）2とを有している。高周波電力増幅回路1は、GSM900（EDGE変調方式）の信号を増幅する3段直列接続の増幅回路部AM1a, AM2a, AM3aと、GSM1800およびGSM1900の信号を増幅する3段直列接続の増幅回路部AM1b, AM2b, AM3bとを有している。符号のR1～R6は抵抗、Pin1はGSM900の位相情報入力信号、Tin1はGSM900の増幅回路部AM1a, AM2a, AM3aの入力端子、Pin2はGSM1800/GSM1900の位相情報入力信号、Tin2はGSM1800/GSM1900の増幅回路部AM1b, AM2b, AM3bの入力端子、Pout1はGSM900の位相情報出力信号、Tout1はGSM900の増幅回路部AM1a, AM2a, AM3aの出力端子、Pout2はGSM1800/GSM1900の位相情報出力信号、Tout2はGSM1800/GSM1900の増幅回路部AM1b, AM2b, AM3bの出力端子、GNDは基準電位（接地電位で、例えば0（零）V）をそれぞれ示している。

【0021】

上記動作電圧制御回路2は、オペアンプOPAと、帰還回路FBと、BipQswとを有している。オペアンプOPAの反転入力端子Trに入力電圧Vramが入力される。オペアンプOPAの出力は、上記BipQswのベース電極Bに電氣的に接続されている。BipQswは、上記外付けされたスイッチ用のチップのスイッチング素子である。BipQswのエミッタ電極Eには電源電圧Vddが供給される。電源電圧Vddは、デジタル携帯電話のリチウム電池等のような電池から供給される電圧であり、電氣的特性評価時においては、電池の消耗等を想定して、例えば3.1V程度として評価を行っている。エミッタ電流Iddは、例えば2.3A程度である。BipQswのコレクタ電極CにはオペアンプOPAからの出力信号に基づいて電源電圧Vccが出力されるようになっている。この電源電圧Vccは高周波電力増幅回路1の増幅回路部AM1a, AM2a, AM3a, AM1b, AM2b, AM3bに供給される。BipQswのコレクタ電極CとオペアンプOPAの非反転入力端子との間には、上記帰還回路FBが電氣的に接続されている。この帰還回路FBは、BipQswのコレクタ電極CからオペアンプOPAの非反転入力端子に電源電圧Vccをフィードバックする回路で、例えばコンデンサと抵抗とを有するCR回路で構成されている。このように電源電圧Vccが帰還回路FBを介してオペアンプOPAの非反転入力端子にフィードバックされることにより、動作電圧制御回路2は、その出力の電源電圧Vccが入力電圧（信号LDOまたは出力レベル指定信号VPL）に対してほぼリニアに変化するように、その出力の電源電圧Vccの値を自動制御できるようになっている。配線抵抗RAは、上記スイッチ用のチップがモジュール基板MCB（図1参照）に搭載された場合に、BipQswのエミッタ電極Eが接続されるモジュール基板MCBの配線の抵抗である。配線抵抗RBは、スイッチ用のチップがモジュール基板MCBに搭載された場合に、BipQswのコレクタ電極Cが接続されるモジュール基板MCBの配線の抵抗である。配線抵抗RA, RBは上記モジュール基板MCBの配線経路（配線およびビアホール）の長さや本数により決まる。さらに配線抵抗RCは、上記マザーボードMBtの電極CEm2およびこれに接続された配線CLmの抵抗である。

【0022】

ところで、この電気的特性評価ではスイッチング素子 (B i p Q s w) が外付けであるため、モジュール基板MCB中の配線抵抗RAが形成される配線部分に電流が流れない。すなわち、モジュール基板MCBの配線抵抗RAが評価対象の回路に組み込まれていないので、評価結果に現れない。これに対して、上記スイッチ用のチップC s wを、上記増幅用のチップC a m 1, C a m 2, C a m 3が搭載されたモジュール基板MCB上に搭載した場合、モジュール基板MCB中の配線抵抗RAが形成される配線部分に電流が流れるため、電源電圧V d d, V c cの直列抵抗 (配線抵抗RA + 配線抵抗RB) が顕在化することを本発明者が初めて見出した。さらに、上記のようなモジュール基板MCBの内層抵抗損失に対する十分な考慮がなされていないため、下記のような問題が生じることを本発明者が初めて見出した。すなわち、上記デジタル携帯電話の電池の消耗によりスイッチ用のチップC s wに供給される電源電圧V d dが低くなると、上記B i p Q s wが電氣的に接続されるモジュール基板MCB中の配線経路 (すなわち、配線抵抗RA, RB) で電圧降下が生じ、これによりパワーモジュールPMの出力が十分に得られない場合が生じ、携帯電話の送信パワー不足により基地局まで電波が届かない、というような問題である。

【0023】

そこで、本実施の形態1では、上記のような問題を解決するための具体的手段の一例について説明する。本実施の形態1では、例えばGSM方式のネットワークを利用して情報を伝送するデジタル携帯電話であって、GSM900、GSM1800およびGSM1900の3つの周波数帯で利用可能なトリプルバンド機で、かつ、GMSK変調方式およびEDGE変調方式の両方の通信方式が使用可能なデジタル携帯電話の信号増幅機能を有するパワーモジュールについて説明する。

【0024】

図3は、本実施の形態1のパワーモジュールPMの要部回路図の一例を示している。このパワーモジュールPMは、高周波電力増幅回路1と、動作電圧制御回路2とを有している。高周波電力増幅回路1は、例えば3段の増幅回路部 (パワ

ーアンプ) AM1, AM2, AM3 と、これらの増幅回路部 AM1, AM2, AM3 にバイアス電圧を印加するバイアス回路 BIAS とを有している。なお、この図3では、図面を見易くするため、上記図2に示した GSM900、GSM1800 および GSM1900 の各周波数帯の信号の増幅回路部 AM1a, AM2a, AM3a, AM1b, AM2b, AM3b を増幅回路部 AM1 ~ AM3 とし、まとめて示している。

【0025】

上記動作電圧制御回路2は、上記高周波電力増幅回路1への印加電圧を発生する回路であり、電源制御回路2Aと、バイアス電圧生成回路2Bとを有している。電源制御回路2Aは、電源電圧Vccを生成し、これを上記増幅回路部AM1, AM2, AM3の各々の出力用パワーMOSのドレイン端子に印加することにより、上記増幅回路部AM1, AM2, AM3の出力の値を制御する回路である(電源電圧Vccコントロール方式の回路)。上記バイアス電圧生成回路2Bは、上記バイアス回路BIASを制御するための制御電圧Vct1を生成する回路である。本実施の形態1では、電源制御回路2Aがベースバンド回路から供給される出力レベル指定信号VPLに基づいて上記電源電圧Vccを生成すると、バイアス電圧生成回路2Bが電源制御回路2Aで生成された上記電源電圧Vccに基づいて上記制御電圧Vct1を生成するようになっている。上記ベースバンド回路は、上記出力レベル指定信号VPLを生成する回路である。この出力レベル指定信号VPLは、高周波電力増幅回路1の出力レベルを指定する信号で、携帯電話と、その基地局との間の距離、すなわち、電波の強弱に応じた出力レベルに基づいて生成されているようになっている。

【0026】

また、本実施の形態1では、GMSK変調方式とEDGE変調方式との両方の通信を可能とするため、GMSK変調方式またはEDGE変調方式のいずれかを選択する切換スイッチSW1が設けられている。切換スイッチSW1は、変復調回路に設けられている。この切換スイッチSW1による変調方式の切り換えは、変調方式を指示するモード信号MODEによって行われる。GMSK変調方式が使用される場合は、切換スイッチSW1により上記電源制御回路2Aに上記出

力レベル指定信号VPLが入力される。一方、EDGE変調方式が使用される場合は、切換スイッチSW1により上記電源制御回路2Aに上記出力レベル指定信号VPLの代わりに信号LDOが入力される。上記信号LDOは、送信データの振幅情報に相当する信号であり、コンパレータ回路3から伝送される。このコンパレータ回路3は、上記高周波電力増幅回路1の入力側に設けられた位相振幅分離回路4からの振幅情報信号Vinと、上記高周波電力増幅回路1の出力側に設けられた出力レベル検出用のカプラ5からの検出信号Vdtとを比較して電位差に応じた信号を出力するように構成されている。上記位相振幅分離回路4は、送信信号INを位相情報信号Pinと振幅情報信号Vinとに分離する回路である。このような構成により、高周波電力増幅回路1の出力レベルを振幅情報信号Vinのレベルに一致させるようなフィードバック制御が行われる。なお、カプラ5の出力は、ミキサMIXにより周波数変換され、フィルタFLTと増幅回路部AM4を介して上記検出信号Vdtとしてコンパレータ回路3に伝送される。

【0027】

また、EDGE変調モードにおいては、電源制御回路2Aに対して出力レベル指定信号VPLが入力されないため、バイアス電圧生成回路2Bは電源制御回路2Aからの電源電圧Vccに基づいて出力レベルに応じた制御電圧Vctlを生成することができない。そこで、バイアス電圧生成回路2Bからの電圧に代えて、ベースバンド回路または変復調回路から供給される出力レベル制御電圧Vapcをバイアス回路BIASに供給する切換スイッチSW2が設けられている。この切換スイッチSW2による変調方式の切り換えは、上記モード信号MODEによって行われる。なお、符号Tinは増幅回路部AM1～AM3の入力端子、Toutは増幅回路部AM1～AM3の出力端子、Tbiはバイアス回路BIASの入力端子を示している。

【0028】

図4は、図3の高周波電力増幅回路1および電源制御回路2Aの等価回路図を示している。スイッチ用のチップ(BipQsw)が、モジュール基板に搭載されている以外は、前記図2と同じである。BipQswのオンオフにより高周波電力増幅回路1の位相情報出力信号を制御することが可能となっている。スイッ

チング素子は、B i p Q s w に代えて、p M O S を使用しても良い。この場合、p M O S のソース電極は、上記B i p Q s w のエミッタ電極に相当し、p M O S のドレイン電極は、上記B i p Q s w のコレクタ電極に相当する。

【0029】

上記電源電圧 V_{dd} は、スイッチング素子が B i p でも M O S でも、通常状態で、例えば 3.5 V 程度であるが、本実施の形態 1 では、例えば電池の消耗等により電源電圧 V_{dd} が 3.1 V 程度となってもパワーモジュール P M の出力水準を後述のように所定値に保てるようになっている。エミッタ電流 I_{dd} は、例えば 2.3 A 程度である。このようにエミッタ電流が大きいので配線抵抗 R_A での電圧降下による出力電圧の損失が大きい。 V_{sat} は B i p Q s w のエミッターコレクタ間電圧であり、例えば 52 mV 程度である。

【0030】

図 5 は、図 3 および図 4 の高周波電力増幅回路 1 の回路図の一例を示している。本実施の形態 1 の高周波電力増幅回路 1 は、能動素子として複数の n M O S Q Q_{n1} (Q_{n1} , Q_{n2} , Q_{n3}) を順次従属接続した回路構成を有している。すなわち、高周波電力増幅回路 1 の入力端子 T_{in} は、整合回路 M 1 およびコンデンサ C 2 を介して初段の n M O S Q Q_{n1} のゲート電極に接続され、その初段の n M O S Q Q_{n1} のドレイン電極は整合回路 M 2 およびコンデンサ C 3 を介して中段の n M O S Q Q_{n2} のゲート電極に接続され、その中段の n M O S Q Q_{n2} のドレイン電極は整合回路 M 3 およびコンデンサ C 4 を介して終段の n M O S Q Q_{n3} のゲート電極に接続され、さらに、その終段の n M O S Q Q_{n3} のドレイン電極は整合回路 M 4 を介して出力端子 T_{out} に接続された 3 段構成を有している。n M O S Q Q_{n1} は、上記増幅回路部 A M 1 (A M 1 a, A M 1 b) に相当し、n M O S Q Q_{n2} は、上記増幅回路部 A M 2 (A M 2 a, A M 2 b) に相当し、n M O S Q Q_{n3} は、上記増幅回路部 A M 3 (A M 3 a, A M 3 b) に相当する。高周波電力増幅回路 1 の出力レベルは、上記バイアス回路 B I A S および電源制御回路 2 A からの電源電圧 V_{cc} によって制御される。ここでは、その電源電圧 V_{cc} が 3 つの n M O S Q Q_{n1} , Q_{n2} , Q_{n3} の各々のドレイン電極に供給されるようになっている。整合回路 M 1 ~ M 4 は、それぞれの各段間のインピーダンス整合をと

るためのインダクタンス素子として機能するマイクロストリップ線路である。また、この整合回路M1～M3の各々と直列に接続されたコンデンサC2～C4は、電源電圧Vccとゲートバイアス電圧との直流電圧を遮断する機能を有している。

【0031】

上記バイアス回路BIASは、複数の抵抗R7a, R7b, R8a, R8b, R9a, R9bを有している。抵抗R7a, 7bは、バイアス回路BIASの入力端子Tbiに接続された配線と基準電位（例えば接地電位で0V）との間に直列に接続されている。この抵抗R7a, R7b間を繋ぐ配線部分とnMOSQn1のゲート電極とが電氣的に接続されている。同様に、抵抗R8a, R8bは、バイアス回路BIASの入力端子Tbiに接続された配線と上記基準電位との間に直列に接続され、この抵抗R8a, R8b間を繋ぐ配線部分とnMOSQn2のゲート電極とが電氣的に接続されている。同様に、抵抗R9a, R9bは、バイアス回路BIASの入力端子Tbiに接続された配線と上記基準電位との間に直列に接続され、この抵抗R9a, R9b間を繋ぐ配線部分とnMOSQn3のゲート電極とが電氣的に接続されている。この回路では、バイアス回路BIASの入力端子Tbiに上記制御電圧Vctlまたは出力レベル制御電圧Vapcが入力されると、その電圧が上記抵抗R7a, R7b、抵抗R8a, R8bおよび抵抗R9a, R9bの各々で分圧されて所望のゲートバイアス電圧が生成され、そのゲートバイアス電圧が各々のnMOSQn1, Qn2, Qn3のゲート電極に入力されるようになっている。バイアス回路BIASの変形例として、例えば温度補償したバイアス電圧を発生する回路または素子のばらつきによるバイアス電圧のずれを補正する回路等を含むバイアス回路を用いても良い。

【0032】

特に限定されるものではないが、初段と中段のnMOSQn1, Qn2およびバイアス回路BIASの抵抗R7a, R7b, R8a, R8b, R9a, R9bは1つの増幅用のチップに形成され、最終段のnMOSQn3は別の1つの増幅用のチップに形成されている。また、上記コンデンサC1～C4等はチップ部品として上記2つの増幅用のチップとは別に形成されている。そして、上記2つの

増幅用のチップと上記チップ部品とが共通のモジュール基板上に搭載されてパワーモジュールPMが形成されている。

【0033】

次に、図6は本実施の形態1のパワーモジュールPMのデバイス構造の一例を示す斜視図、図7は図6のパワーモジュールPMの主面の平面図、図8は図7のパワーモジュールPMの要部拡大平面図、図9は図7のX1-X1線の断面を含むパワーモジュールPMの部分破断斜視図、図10は図7のX2-X2線の断面図、図11～図14はそれぞれパワーモジュールPMの第1層目（主面）、第2層目、第4層目、第6層目（裏面）の平面図を示している。なお、図6～図14では、図面を見易くするため封止部材を示していない。

【0034】

パワーモジュールPMは、モジュール基板MCBと、その主面に搭載された上記増幅用のチップCam1、Cam2、Cam3と、上記スイッチ用のチップCswと、複数のチップ部品8とを有している。

【0035】

まず、モジュール基板MCBについて説明する。モジュール基板MCBは、例えば5枚の絶縁体板10aを積層して一体化した多層配線構造を有している。この絶縁体板10aは、例えばミリ波域まで誘電損失の少ないアルミナ（酸化アルミニウム、 Al_2O_3 、比誘電率 $=9\sim9.7$ ）等のようなセラミックからなるが、これに限定されるものではなく種々変更可能であり、例えばガラスエポキシ樹脂等を用いても良い。各絶縁体板10aの表面および裏面には配線CLや電極CEが形成されている。モジュール基板MCBの主面（第1層目、第1面）および裏面（第6層目、第2面）の配線CLおよび電極CEは、例えば銅（Cu）とタングステン（W）との合金からなり、その表面にはニッケル（Ni）メッキおよび金（Au）メッキが順に施されている。この金メッキは、配線CLや電極CEの酸化や侵食を防止する機能を有している。また、モジュール基板MCBの内層の配線CLや電極CEは、例えば銅（Cu）とタングステン（W）との合金からなる。

【0036】

モジュール基板MCBの配線層のうち、第2層目、第4層目および第6層目（裏面）の配線層は、主として基準電位（ここでは接地電位で、例えば0 V）供給用の配線CLG（CL）の配線層とされ、残りの配線層は、主として伝送線路用の配線CLの配線層とされている。基準電位供給用の配線CLGは、伝送線路用の配線CLのパターン比べて幅の広いパターンで形成されている。このように伝送線路用の異なる配線層間に、基準電位供給用の配線層を設けることにより、異なる配線層に流れる信号間の干渉を抑制または防止することができる。このようなモジュール基板MCBの配線CLの幅および絶縁体板10aの厚さ等を適宜設定することにより、伝送線路のインピーダンスが、例えば50 Ω 程度となるようになっている。異なる配線層間は、ビアホール（接続部）VH内の導体膜を通じて電氣的に接続されている。ビアホールVH内の導体膜は、例えば銅（Cu）とタングステン（W）との合金からなる。

【0037】

次に、上記チップCam1、Cam2、Cam3、Cswおよびチップ部品8と本実施の形態1のパワーモジュールPMの要部について説明する。各チップCam1、Cam2、Cam3、Cswは、その主面（デバイス形成面）を上に向けた状態で、モジュール基板MCBの主面に設けられたキャビティと称する平面略矩形状の窪み11内に収まり良く搭載されている。各チップCam1、Cam2、Cam3、Cswの主面のボンディングパッド（以下、単にパッドという）は、ボンディングワイヤ（以下、単にワイヤという）BWを通じてモジュール基板MCB主面の電極CEと電氣的に接続されている。ワイヤBWは、例えば金（Au）からなり、モジュール基板MCBの主面の電極CEのビアホールVHが配置されていない領域で接合されている。これは、電極CEのパターンのうち、ビアホールVHが配置されている領域の表面には微細な凹凸があるが、その凹凸部分にワイヤBWを接合するとその凹凸によりワイヤBWの接合強度が弱くなったりワイヤWBを上手く接合できなかつたりする等のような不具合が生じるので、そのような不具合を避けるためである。すなわち、電極CEのビアホールVHの無い領域にワイヤBWを接合することにより、ワイヤWBと電極CEとの接合上の信頼性を向上させることができる。

【0038】

相対的に大きな増幅用のチップCam1には、GSM900、GSM1800およびGSM1900用の上記初段および中段の増幅回路部AM1（AM1a，AM1b），AM2（AM2a，AM2b）（すなわち、上記nMOSQn1，Qn2）と、上記バイアス回路BIAS回路用の抵抗R7a，R7b，R8a，R8b，R9a，R9b等のような素子とが形成されている。また、相対的に小さなチップCam2には、GSM900用の上記最終段の増幅回路部AM3（AM3a）（すなわち、nMOSQn3）が形成されている。また、相対的に小さなチップCam3には、GSM1800およびGSM1900用の上記最終段の増幅回路部AM3（AM3b）（すなわち、nMOSQn3）が形成されている。

【0039】

また、チップCswには、上記スイッチ用のBipQswが形成されている。チップCswの主面上には、パッドBP1，BP2が配置されている（図8および図9参照）。パッドBP1は、上記ベース電極Bを形成する部分であり、平面円形状のパターンで形成されている。パッドBP1には、例えば1本のワイヤBWの一端が接合されている。このワイヤBWの他端は、モジュール基板MCBの主面の電極CE1（B，CE）のビアホールVH1（VH）の無い領域に接合されている。一方、パッドBP2は、上記エミッタ電極Eを形成する部分（すなわち、上記電源電圧Vddが印加される部分）であり、チップCswの長辺に沿って延在する平面帯状のパターンで形成されている。このパッドBP2には、例えば10本のワイヤBWの一端が接合されている。この各ワイヤBWの他端は、モジュール基板MCBの主面の電極（第1電極）CE2（E，CE）のビアホールVH2（VH）の無い領域に接合されている。

【0040】

ところで、本実施の形態1では、上記スイッチ用のチップCswのエミッタ電極Eが電氣的に接続された電極CE2が、例えば2本のビアホールVH2を通じて第4層目の配線CL1（CL）と電氣的に接続されている。配線CL1は配線経路を変更する配線である。この配線CL1は、例えば上記ビアホールVH2と

は異なる平面位置に配置された3本のビアホールVH3を通じて第6層目（モジュール基板MCBの裏面）の電極（第3電極）CE3（CE, E）と電氣的に接続されている（図9参照）。また、電極CE2および配線CL1が通常の伝送線路用の配線CLに比べて幅広に形成されている。さらに、モジュール基板MCBの裏面の電源電圧Vdd用の電極CE3が、チップCswのパッドBP2の直下に配置されており、電極CE2および配線CL1の長手方向寸法（配線経路長さ）が、モジュール基板MCBの裏面の電極CEの3つ分の長さ、好ましくは2つ分の長さよりも短くなるようにされている。（図11および図13参照）。本発明者が検討したパワーモジュールでは、上記のようにモジュール基板の配線抵抗に関する問題認識が無いので、上記電極CE2, CE3と配線CL1とは単に電氣的に接続されてさえいれば良く、それらを接続するビアホールVH2, VH3も1本しか設けられていないし、また、配線CL1も本実施の形態1の配線CL1に比べて細長く形成されている。このため、上記のような配線抵抗RAの増大を招いている。これに対して、本実施の形態1では、上記の構成にすることにより、上記配線抵抗RAを小さくすることができる。

【0041】

また、スイッチ用のチップCswの裏面は、コレクタ電極C（すなわち、上記電源電圧Vccが印加される電極）となっている。このチップCswの裏面のコレクタ電極Cは、モジュール基板MCBの主面（第2配線層）の電極（第2電極）CE4と半田等のような接着剤12により接合されている。電極CE4はチップサイズよりも若干大きな平面略矩形状のパターンで形成されている。そして、本実施の形態1では、この第2層目の電極CE4が、例えば2本のビアホールVH4を通じて、第6層目（モジュール基板MCBの裏面）の電極（第4電極）CE5（CE, C）と電氣的に接続されている。この電源電圧Vcc用の電極CE5は、上記電源電圧Vdd用の電極CE4に隣接するように配置されている。（図10参照）。本発明者が検討したパワーモジュールでは、上記のようにモジュール基板の配線抵抗に関する問題認識が無いので、上記電極CE4, CE5は単に電氣的に接続されてさえいれば良く、上記電極CE4, CE5を接続するビアホールVH4も1本しか設けられていないため、配線抵抗RBの増大を招いてい

る。これに対して、本実施の形態1では、上記の構成にすることにより、上記配線抵抗 R_B も小さくすることができる。したがって、本実施の形態1によれば、配線抵抗 R_A 、 R_B を小さくできるので、パワーモジュールPMの出力特性を向上させることが可能となる。

【0042】

ところで、上記モジュール基板MCBの主面の電極CE2とモジュール基板MCBの内層の配線CL1とを電氣的に接続するビアホールVH2の本数は2本に限定されるものではなく、例えば3本またはそれ以上でも良い。このビアホールVH2の本数を増やせば、それだけ上記配線抵抗 R_A も低減できるので好ましい。しかし、このビアホールVH2を増やすには電極CE2を長くしなければならぬが、この電極CE2は、モジュール基板MCBの主面に配置されていることから、電極CE2の周囲に他のチップ部品8やそのための電極CEも配置されており安易に長くできないし、もし長くしようとすればモジュール基板MCBも大きくせざるを得ない。このため製品により変わるので特に限定できるものではないが本発明者が検討した製品では、電極CE2と配線CL1とを電氣的に接続するビアホールVH2の本数は2本が好ましい。これに対して、モジュール基板MCBの内層の配線CL1とモジュール基板MCBの裏面の電極CE3とを電氣的に接続するビアホールVH3は配置位置に若干余裕があるので、上記のようにビアホールVH2の本数をあまり増やせないのを補うべく、ビアホールVH2の本数よりも多くしている。これにより、上記配線抵抗 R_A の低減を図っている。このモジュール基板MCBの内層の配線CL1とモジュール基板MCBの裏面の電極CE3とを電氣的に接続するビアホールVH3の本数も3本に限定されるものではなく、例えば4本またはそれ以上でも良いが、上記と同様にモジュール基板MCBの平面寸法の増大を招かないようにすることが好ましい。このような観点から考慮すると、製品により変わるので特に限定できるものではないが本発明者が検討した製品では、配線CL1と電極CE3とを電氣的に接続するビアホールVH3の本数は3本が好ましい。

【0043】

なお、上記電極CE4は、サーマルビアと称する放熱作用を持つ複数のビアホ

ールVHtと接合され、これを通じて下層の電極CE6等と電氣的にかつ物理的に接合されている。これにより、チップCswの動作時に発生した熱を外部に放散することが可能となっている。

【0044】

上記チップ部品8には、上記整合回路や電源スイッチ回路6等を形成するための容量素子、ダイオード素子、トランジスタ素子等が形成されている。チップ部品8は接合材によりモジュール基板MCBの主面の配線に接合され電氣的に接続されている。なお、上記容量素子は、チップ部品を使用せずに、絶縁体板10aの表裏面の導体層を利用してモジュール基板MCBの内層に形成することもできる。

【0045】

次に、図15は、パワーモジュールの電源電圧Vccと、位相情報出力信号Pout(GSM1900)との関係を示すグラフ図である。Vccコントロール回路における電圧降下Vdropは、図4により次のように表すことができる。すなわち、 $V_{drop} = V_{dd} - V_{cc}$ 、また、 $V_{drop} = V_{sat} + (R_A + R_B) I_{dd}$ である。故に、 $R_A + R_B = (V_{dd} - V_{cc} - V_{sat}) / I_{dd}$ である。本実施の形態1では、 $V_{dd} = 3.1V$ 、 $I_{dd} = 2.3A$ 、 $V_{sat} = 0.052V$ である。また、本実施の形態1では、上記のような構造にすることにより、モジュール基板MCBの配線の直列抵抗($R_A + R_B$)を52mΩ以下とすることができる。したがって、上式により電源電圧Vccを2.929V以上にすることができるので、図15に示すように、位相情報出力信号Poutの出力レベルを、例えば要求規格の31.7dB以上にすることができる。したがって、例えばデジタル携帯電話の電池の消耗によりスイッチ用のチップCswに供給される電源電圧Vddがある程度低くなっても、パワーモジュールPMの出力を確保することができ、デジタル携帯電話の送信パワー不足により基地局まで電波が届かない、というような不具合の発生率を低減することが可能となる。

【0046】

次に、図16は上記パワーモジュールPMをデジタル携帯電話のマザーボード

MBに実装した状態の側面図を示している。マザーボードMBは、例えば多層配線構造を有するプリント配線基板等からなる。マザーボードMBの主面上には、パワーモジュールPMと、その他に複数のチップ部品8とが搭載されている。パワーモジュールPMは、上記モジュール基板MCBの裏面の電極CEや配線CLGをマザーボードMBの主面に向けた状態でマザーボードMB上に搭載されている。パワーモジュールPMの電極CEおよび配線CLGやチップ部品8の電極は、接合部材13を通じてマザーボードMBの電極と接合されて電氣的に接続されている。なお、パワーモジュールPMのチップCam1, Cam2, Cam3, Cswおよびチップ部品8は、例えばシリコンゴム等からなる上記封止部材14により封止されている。

【0047】

次に、図17は、本実施の形態1のパワーモジュールPMを用いたデジタル携帯電話機システムの一例を示している。図17の符号ANTは信号電波の送受信用のアンテナ、符号20はフロントエンド・モジュール、符号21は音声信号をベースバンド信号に変換したり、受信信号を音声信号に変換したり、変調方式切換信号やバンド切換信号を生成したりする前記ベースバンド回路、符号22は受信信号をダウンコンバートして復調しベースバンド信号を生成したり送信信号を変調したりする変復調回路、FLT1, FLT2は受信信号からノイズや妨害波を除去するフィルタである。フィルタFLT1はGSM用、フィルタFLT2はDCS用である。上記ベースバンド回路21は、DSP (Digital Signal Processor) やマイクロプロセッサ、半導体メモリ等の複数の半導体集積回路で構成されている。上記フロントエンド・モジュール20は、インピーダンス整合回路MN1, MN2、ロウパスフィルタLPF1, LPF2、スイッチ回路23a, 23b、コンデンサC5, C6および分波器24を有している。インピーダンス整合回路MN1, MN2はパワーモジュールPMの送信出力端子に接続されてインピーダンスの整合を行う回路、ロウパスフィルタLPF1, LPF2は高調波を減衰させる回路、スイッチ回路23a, 23bは送受信切り換え用のスイッチ回路、コンデンサC5, C6は受信信号から直流成分をカットする素子、分波器24はGSM900帯の信号とGSM1800/GSM1900帯の信号とを分

波する回路であり、これら回路および素子は1つの配線基板上に搭載されてモジュールとされている。なお、スイッチ回路23a, 23bの切換信号CNT1, CNT2は上記ベースバンド回路21から供給される。

【0048】

(実施の形態2)

本実施の形態2では、上記スイッチ用のチップをモジュール基板の中央に配置した場合について説明する。

【0049】

図18および図19は、本実施の形態2のパワーモジュールPMのモジュール基板MCBの主面および裏面の平面図をそれぞれ示している。本実施の形態2では、スイッチ用のチップCswがモジュール基板MCBのほぼ中央に配置されている。この場合、モジュール基板MCBの裏面の電源電圧Vdd, Vcc用の電極CE3, CE5も、チップCswの下方に配置されている。すなわち、電極CE3, CE5も、モジュール基板MCBの裏面のほぼ中央に配置されている。なお、モジュール基板MCBの裏面の基準電位供給用の配線CLGの一部には開口領域が設けられており、その開口領域に電極CE3, CE5が配置されている。これにより、電極CE3, CE5と配線CLGとが絶縁されている。

【0050】

このような構成とすることにより、チップCswのエミッタ電極Eと電源電圧Vdd用の電極CE3とを繋ぐモジュール基板MCBでの配線の長さおよびチップCswのコレクタ電極Cと電源電圧Vcc用の電極CE5とを繋ぐモジュール基板MCBでの配線の長さを短くすることができるので、前記配線抵抗RA, RBを低下させることができる。したがって、パワーモジュールPMの出力特性を向上させることが可能となる。

【0051】

もちろん、本実施の形態2においても前記実施の形態1と同様に、チップCswのエミッタ電極Eと、モジュール基板MCBの裏面の電極CE3とを繋ぐモジュール基板MCBの配線経路（ビアホールVHや配線CL）やチップCswのコレクタ電極Cとモジュール基板MCBの裏面の電極CE5とを繋ぐモジュール基

板MCBの配線経路（ビアホールVHや配線CL）を複数経路としても良い。これにより、さらに配線抵抗RA、RBを低下させることができる。したがって、前記実施の形態1と同様の効果を得ることが可能となる。

【0052】

（実施の形態3）

本実施の形態3では、パワーモジュールのスイッチ用のチップのエミッタ電極とモジュール基板の裏面のエミッタ電極とを繋ぐ配線経路の変形例について説明する。

【0053】

図20は、本実施の形態3のパワーモジュールPMの部分破断斜視図を示している。本実施の形態3では、モジュール基板MCBの主面の電極CE2と、モジュール基板MCBの裏面の電極CE3とが、モジュール基板MCBの主面から裏面に向かって厚さ方向にほぼ直線状に延在する複数のビアホールVH5（VH）を通じて電氣的に接続されている。本実施の形態3によれば、モジュール基板MCBの主面の電極CE2と、モジュール基板MCBの裏面の電極CE3とを結ぶ配線経路が紆余曲折することなく直線的になるので、その配線経路の全長を前記実施の形態1の場合よりも短くすることができる。このため、配線抵抗RAを前記実施の形態1の場合よりも低下させることができる。したがって、パワーモジュールPMの出力特性をさらに向上させることが可能となる。

【0054】

（実施の形態4）

本実施の形態4では、前記ビアホールの配置の変形例について説明する。

【0055】

図21は、本実施の形態4のパワーモジュールPMのモジュール基板MCBの要部断面図を示している。符号のWBAはワイヤBWの接合領域を示している。また、長さD1は、モジュール基板MCBの主面から配線CL1が配置された配線層までの距離（厚さ）であり、長さD2は配線CL1が配置された配線層からモジュール基板MCBの裏面までの距離（厚さ）である。ここでは、長さD1<長さD2の場合が例示されている。

【0056】

本実施の形態4では、モジュール基板MCBの主面の電極CE2と配線CL1との間には2本のビアホールVH2が配置され、配線CL1とモジュール基板MCBの裏面の電極CE3との間には3本のビアホールVH3が配置されている。すなわち、本実施の形態4では、相対的に長い長さD2の箇所に配置されたビアホールVH3の本数の方が、相対的に短い長さD1の箇所に配置されたビアホールVH2の本数よりも多くなるようにされている。このように、本実施の形態4によれば、配線長が長くなる箇所に配置されるビアホールVH3の本数を、配線長が短い箇所に配置されるビアホールVH2の本数よりも多く配置することにより、配線長が長くなる箇所での配線抵抗成分の増大を抑え、電極CE2、CE3間の配線抵抗RAを低減させることができる。

【0057】

(実施の形態5)

本実施の形態5では、モジュール基板内の配線の配置の変形例について説明する。図22は、本実施の形態5のパワーモジュールPMの部分破断斜視図を示している。本実施の形態5では、電極CE2、CE3間の配線経路に配線CL2が追加されている。すなわち、モジュール基板MCBの主面の電極CE2は2本のビアホールVH2を通じて2本の配線CL1、CL2の両方に電氣的に接続されている。配線CL1、CL2は、モジュール基板MCBの異なる配線層に形成されており、3本のビアホールVH3を通じてモジュール基板MCBの裏面の電極CE3と電氣的に接続されている。チップCswの裏面のコレクタ電極C(CE4)とモジュール基板MCBの裏面の電極CE5とを接続する配線経路で同様の構造にしても良い。

【0058】

本実施の形態5によれば、上記のように配線CL2を追加することにより、前記配線抵抗RA、RBをさらに低減できるので、パワーモジュールPMの出力特性をさらに向上させることが可能となる。

【0059】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明した

が、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0060】

例えば前記実施の形態1～5では、パワーモジュールの増幅回路部を3段設けたが、2段構成または4段構成にしても良い。

【0061】

また、前記実施の形態1～5では、パワーモジュールの2つの増幅回路部を1つの半導体チップに形成し、他の増幅回路部を他の半導体チップに形成した場合について説明したが、これに限定されるものではなく、3段全ての増幅回路部を1つの半導体チップに形成しても良い。

【0062】

また、前記実施の形態1～5では、GSM900、GSM1800およびGSM1900との3つの周波数帯の電波を取り扱うことが可能なトリプルバンド方式に適用した場合について説明したが、上記GSM900とGSM1800の2つの周波数帯の電波を取り扱うことが可能な、いわゆるデュアルバンド方式に適用しても良い。

【0063】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるデジタル携帯電話に適用した場合について説明したが、それに限定されるものではなく、例えばPDA (Personal Digital Assistants) 等のような移動体情報処理装置や通信機能を有するパーソナルコンピュータ等のような情報処理装置にも適用できる。

【0064】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0065】

すなわち、電源制御回路のスイッチング素子用のトランジスタが形成された第1半導体チップと、前記電源制御回路からの電源電圧を電源とする増幅回路が形

成された第2半導体チップと、前記第1、第2半導体チップを主面に搭載する配線基板とを備え、前記第1半導体チップの電源電極と、前記配線基板の裏面の電源電極とを接続する配線基板の配線経路に、前記配線基板の主裏面に交差する方向に延在する接続部を設け、前記第1半導体チップの電源電極と、前記配線基板の裏面の電源電極とに複数本の前記接続部を接合したことにより、半導体装置の出力特性を向上させることが可能となる。

【図面の簡単な説明】

【図1】

本発明者が検討した半導体装置の電気的特性評価の説明図である。

【図2】

図1の半導体装置の電気的特性評価時の等価回路図である。

【図3】

本発明の一実施の形態である半導体装置の一例の要部回路図である。

【図4】

図3の半導体装置の要部の等価回路図である。

【図5】

図3および図4の半導体装置の一部の一例の回路図である。

【図6】

本発明の一実施の形態である半導体装置のデバイス構造例の斜視図である。

【図7】

図6の半導体装置の主面の平面図である。

【図8】

図7の半導体装置の要部拡大平面図である。

【図9】

図7のX1-X1線の断面を含む半導体装置の部分破断斜視図である。

【図10】

図7のX2-X2線の断面図である。

【図11】

図6の半導体装置の第1層目（主面）の平面図である。

【図 1 2】

図 6 の半導体装置の第 2 層目の平面図である。

【図 1 3】

図 6 の半導体装置の第 4 層目の平面図である。

【図 1 4】

図 6 の半導体装置の第 6 層目（裏面）の平面図である。

【図 1 5】

半導体装置の内部電源電圧と位相情報出力信号との関係を示すグラフ図である。

【図 1 6】

本発明の一実施の形態である半導体装置をマザーボードに搭載した状態の側面図である。

【図 1 7】

本発明の一実施の形態である半導体装置を用いた携帯電話システムの一例の説明図である。

【図 1 8】

本発明の他の実施の形態である半導体装置の配線基板主面の平面図である。

【図 1 9】

図 1 8 の半導体装置の配線基板裏面の平面図である。

【図 2 0】

本発明の他の実施の形態である半導体装置の部分破断斜視図である。

【図 2 1】

本発明の他の実施の形態である半導体装置の要部断面図である。

【図 2 2】

本発明のさらに他の実施の形態である半導体装置の部分破断斜視図である。

【符号の説明】

- 1 高周波電力増幅回路
- 2 動作電圧制御回路

2 A 電源制御回路
2 B バイアス電圧生成回路
3 コンパレータ回路
4 位相振幅分離回路
5, 5 a, 5 b カプラ
6 電源スイッチ回路
8 チップ部品
1 0 a 絶縁体板
1 1 窪み
1 2 接着剤
1 3 接合部材
1 4 封止部材
2 0 フロントエンド・モジュール
2 1 ベースバンド回路
2 2 変復調用回路
2 3 a, 2 3 b スイッチ回路
2 4 分波器
PM パワーモジュール
MB t, MB マザーボード
CLm 配線
CL, CLG, CL1, CL2 配線
CEm, CEm1, CEm2 電極
CE, CE1 電極
CE2 電極 (第1電極)
CE3 電極 (第3電極)
CE4 電極 (第2電極)
CE5 電極 (第4電極)
Vdd 電源電圧 (第1電圧)
Vcc 電源電圧 (第2電圧)

Cam1, Cam2, Cam3 半導体チップ (第2半導体チップ)

Csw 半導体チップ (第1半導体チップ)

MCB モジュール基板

E エミッタ電極

C コレクタ電極

B ベース電極

JL ジャンパー線

AM1, AM2, AM3 増幅回路部

AM1a, AM2a, AM3a 増幅回路部

AM1b, AM2b, AM3b 増幅回路部

Pin, Pin1, Pin2 位相情報入力信号

Pout, Pout1, Pout2 位相情報出力信号

Tin, Tin1, Tin2 入力端子

Tout, Tout1, Tout2 出力端子

Vin 振幅情報入力信号

R1~R6 抵抗

R7a, R7b, R8a, R8b, R9a, R9b 抵抗

GND 基準電位

OPA オペアンプ

FB 帰還回路

Qsw バイポーラトランジスタ

Vramp 入力電圧

Tr 入力端子

RA, RB, RC 抵抗

Vctl 制御電圧

Vapc 出力レベル制御電圧

SW1, SW2 切換スイッチ

MODE モード信号

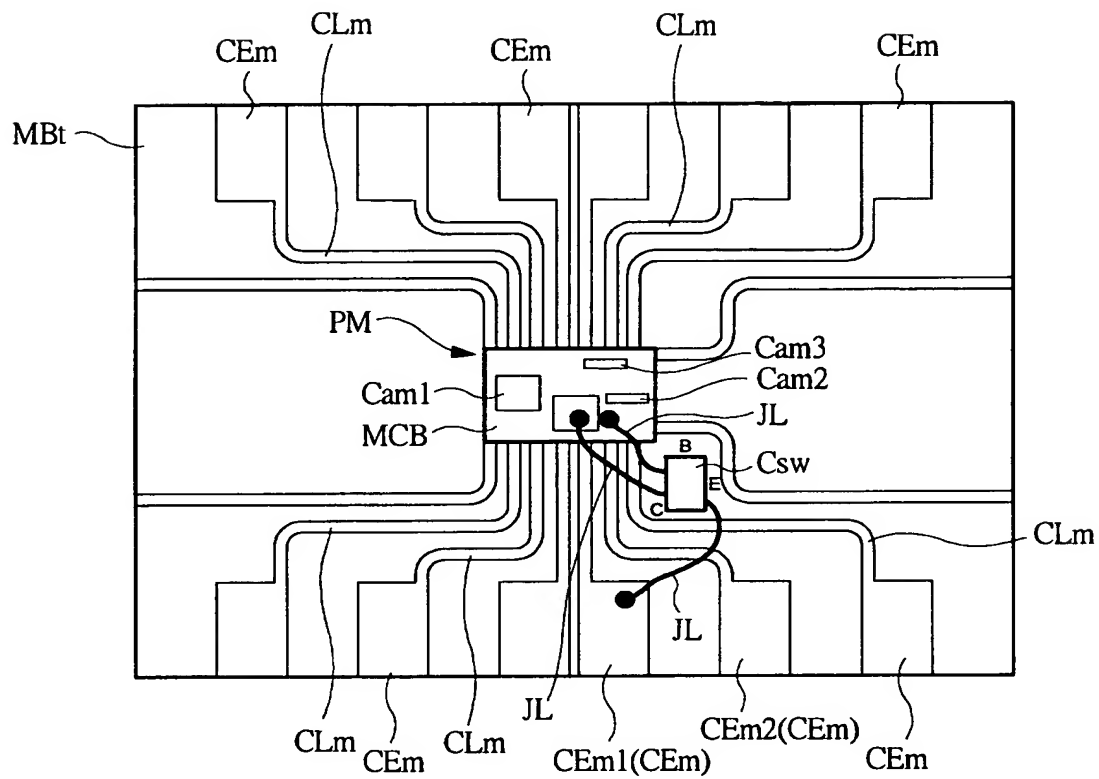
VPL 出力レベル指定信号

L D O 信号
V d t 検出信号
I N 送信信号
M I X ミクサ
F L T , F L T 1 , F L T 2 フィルタ
L P F 1 , L P F 2 ローパスフィルタ
A M 4 増幅回路部
B W ボンディングワイヤ
B P 1 , B P 2 ボンディングパッド
V H , V H 1 ~ V H 5 ビアホール (接続部)
V H t ビアホール
M N 1 , M N 2 インピーダンス整合回路
C N T 1 , C N T 2 切換信号
W B A 接合領域

【書類名】 図面

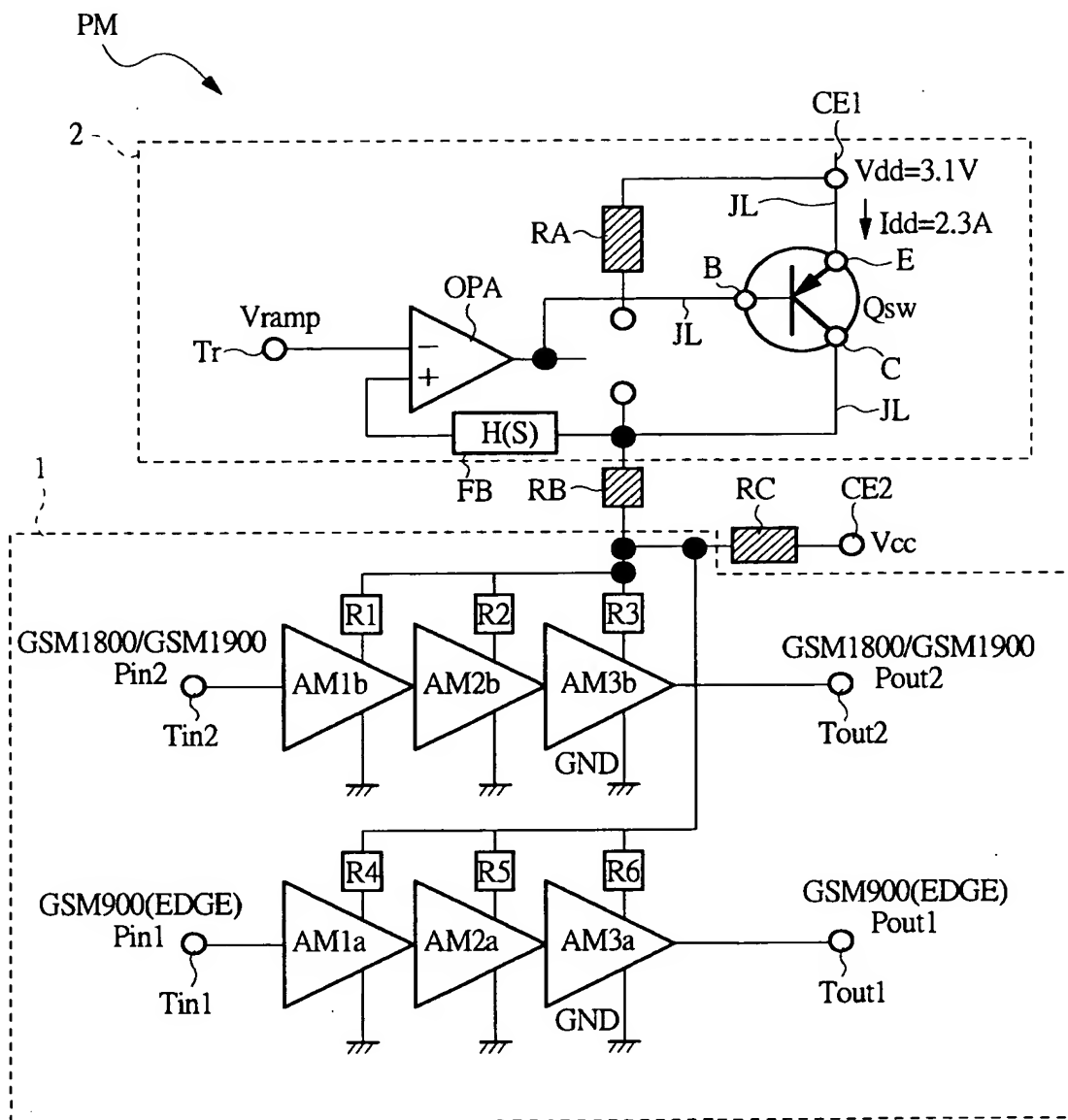
【図 1】

図 1



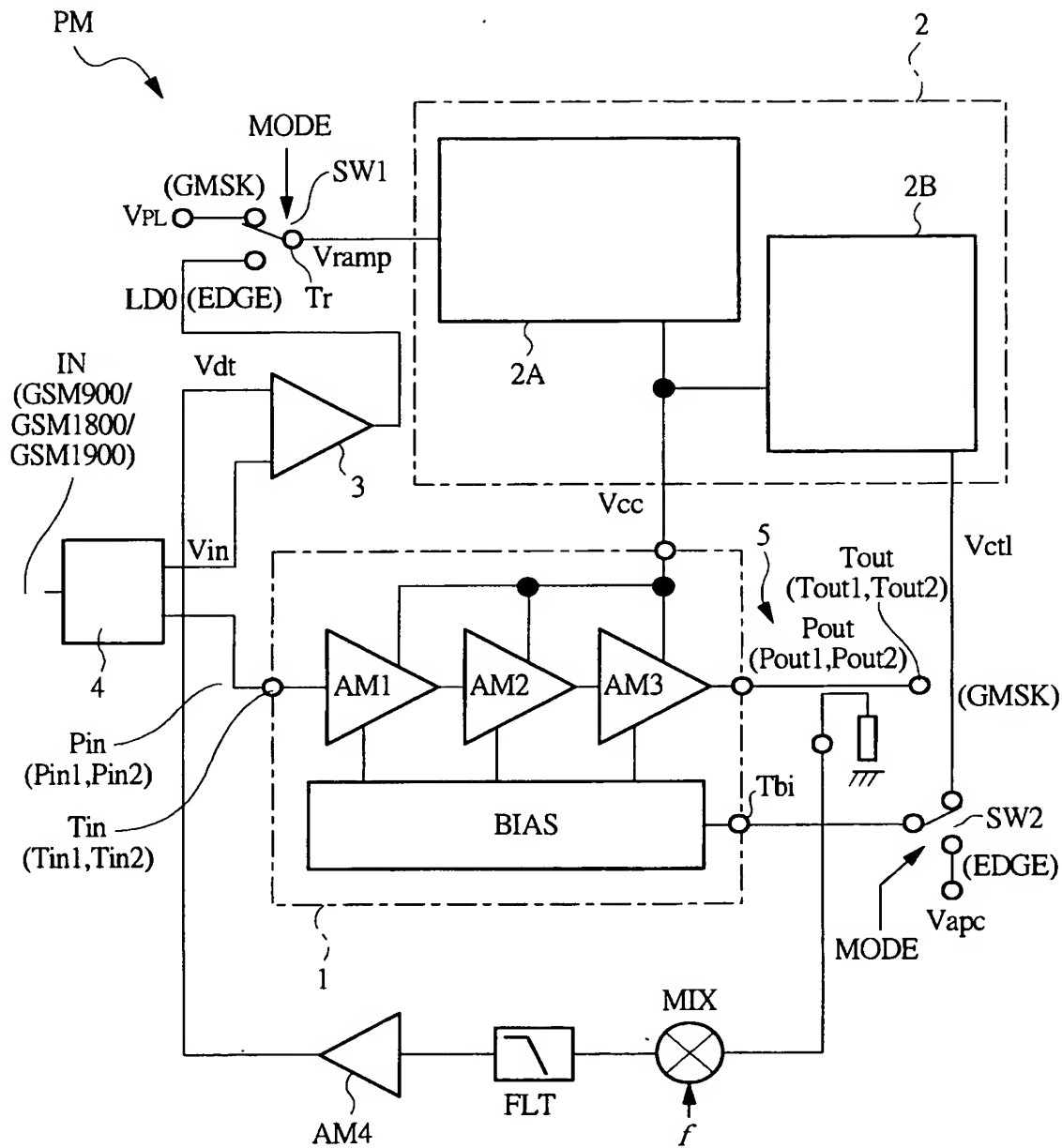
【図 2】

図 2



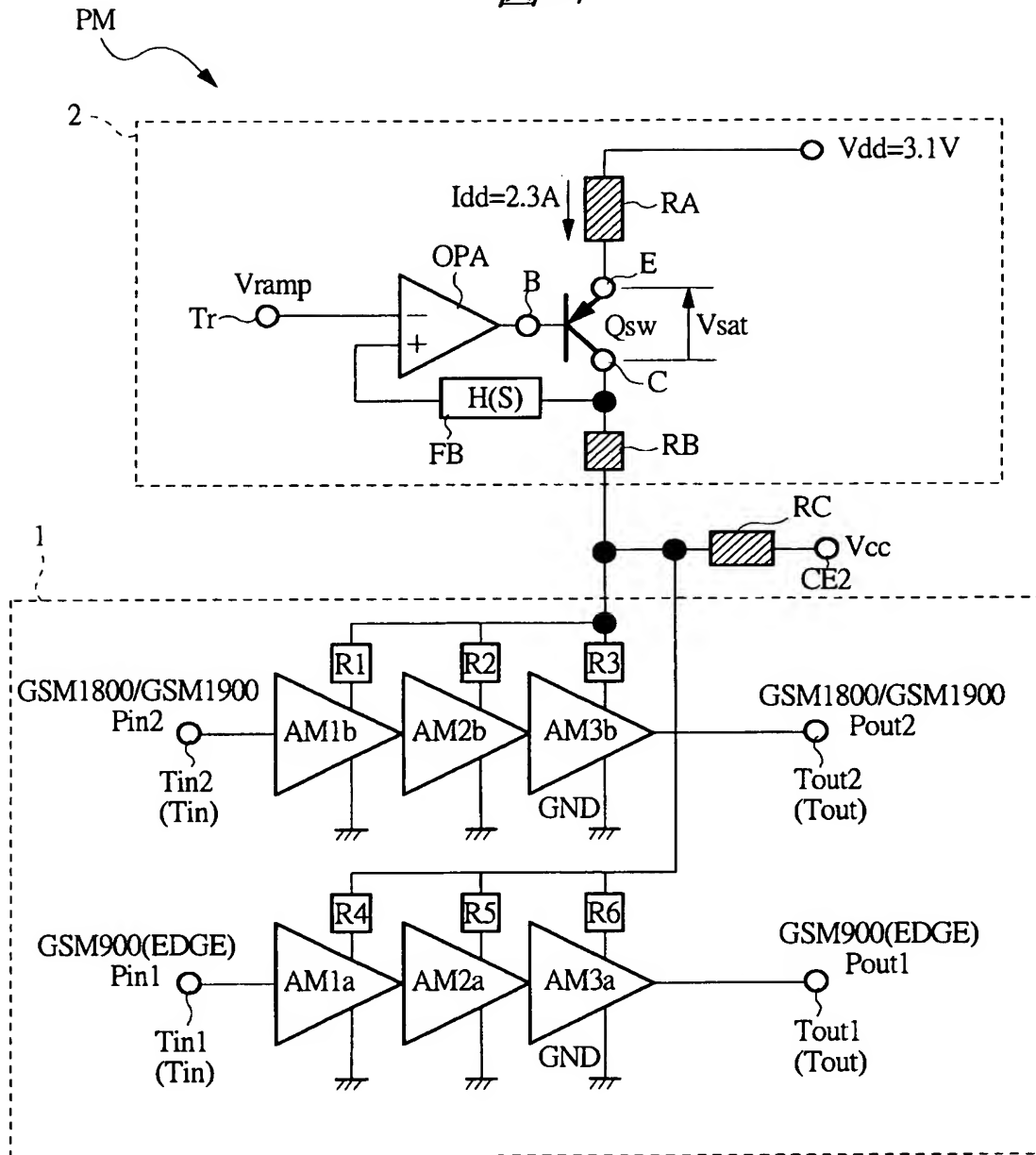
【図 3】

図 3



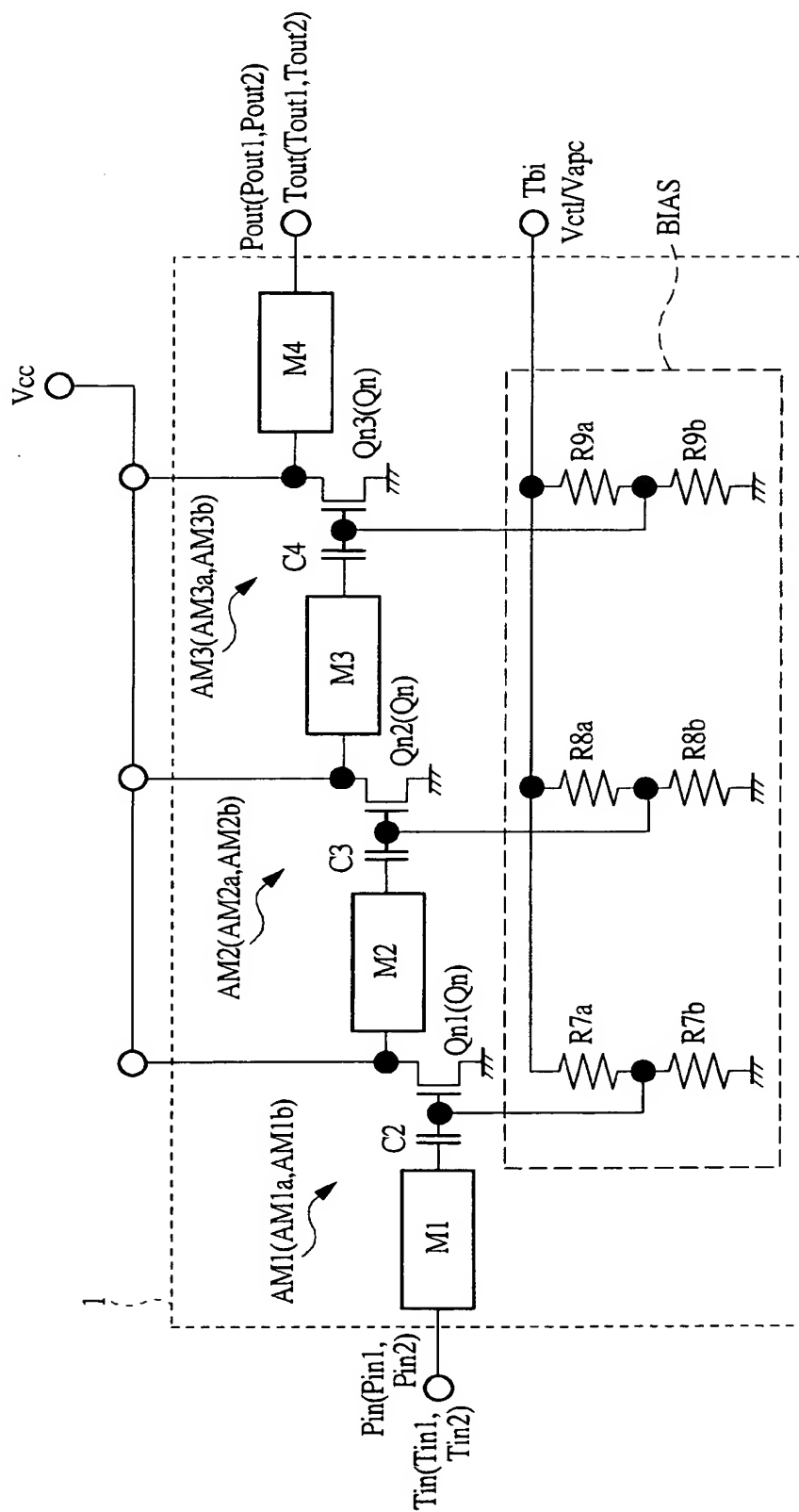
【図 4】

図 4

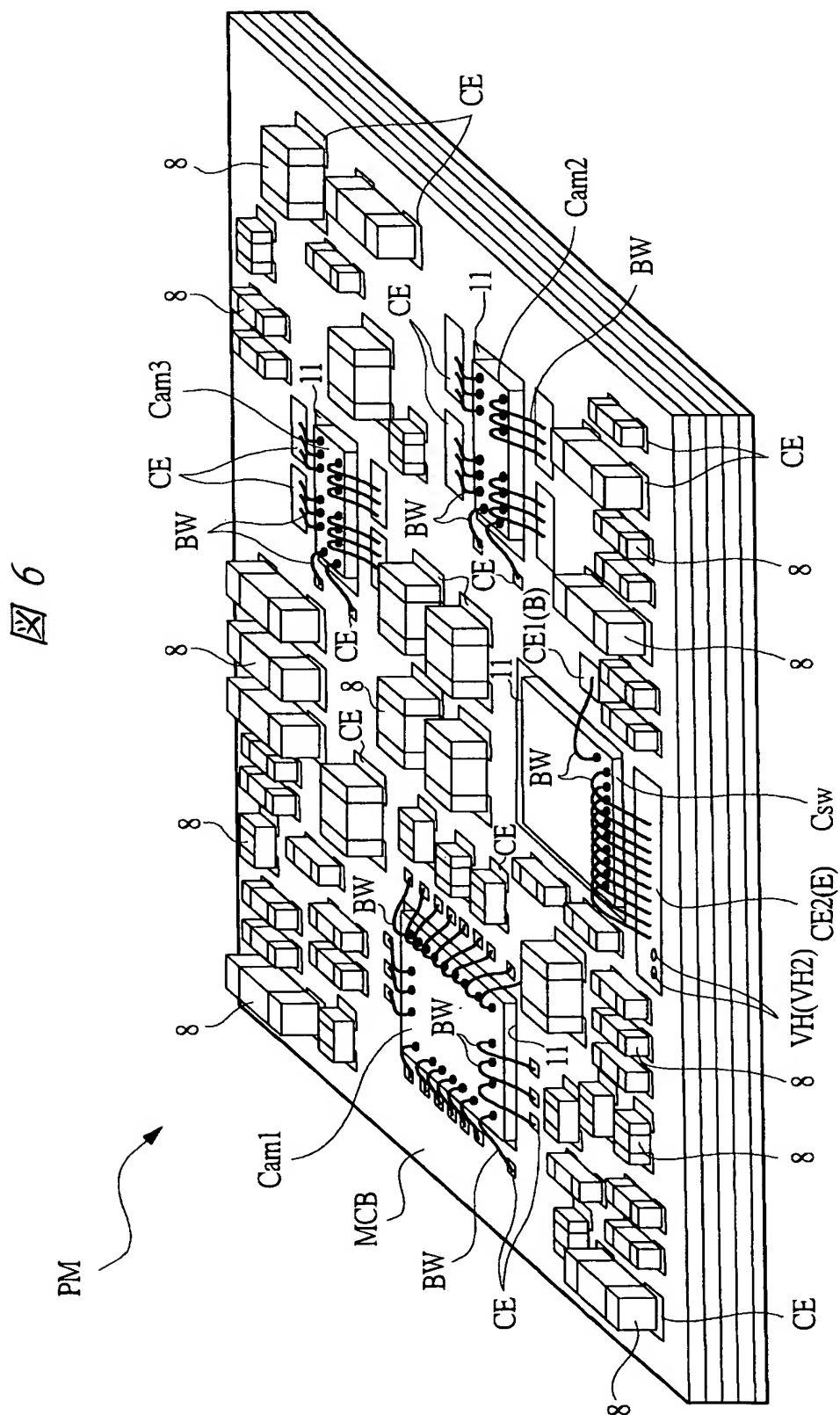


【図 5】

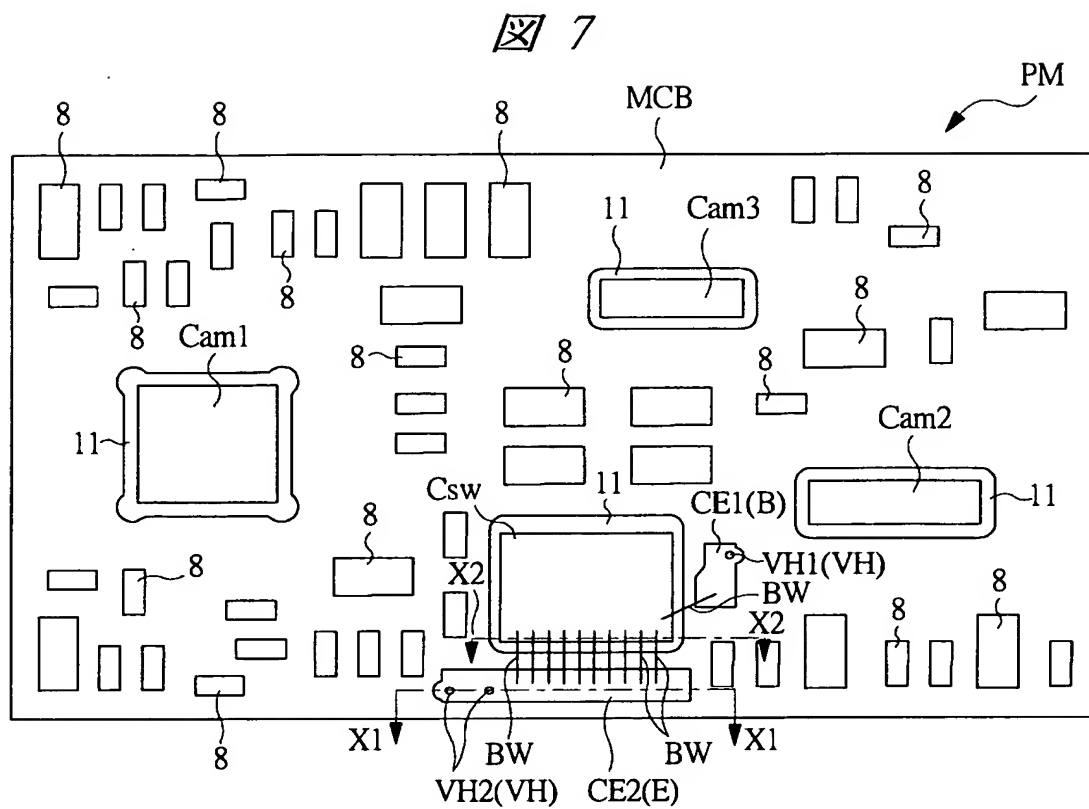
図 5



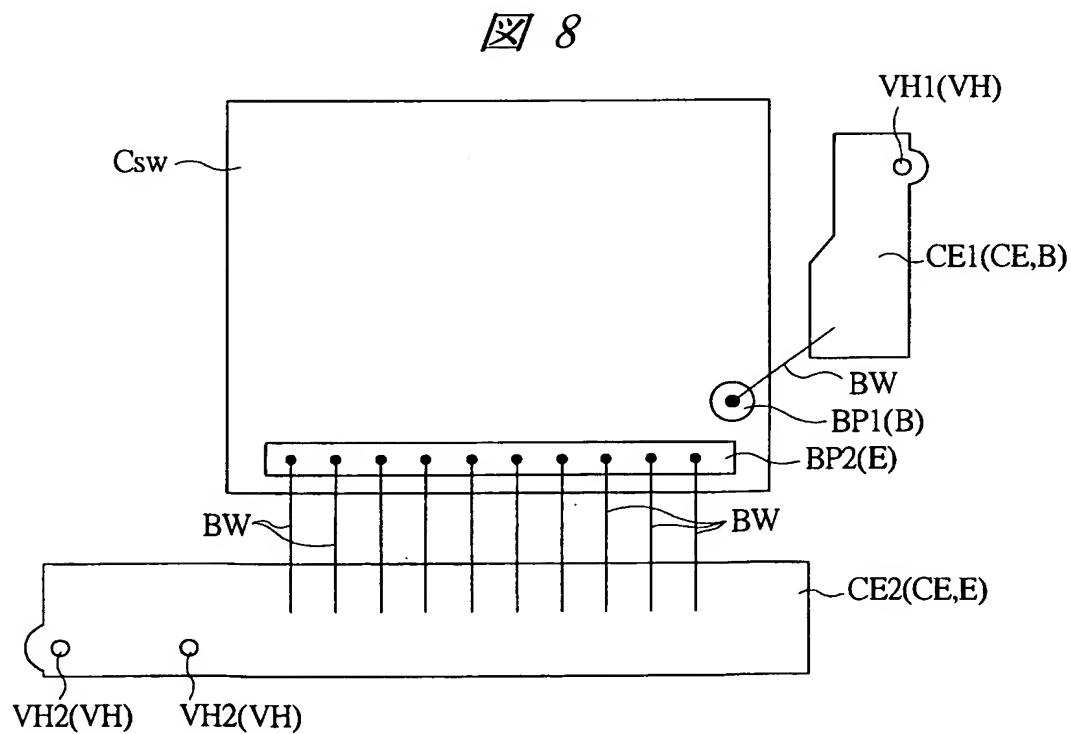
【図 6】



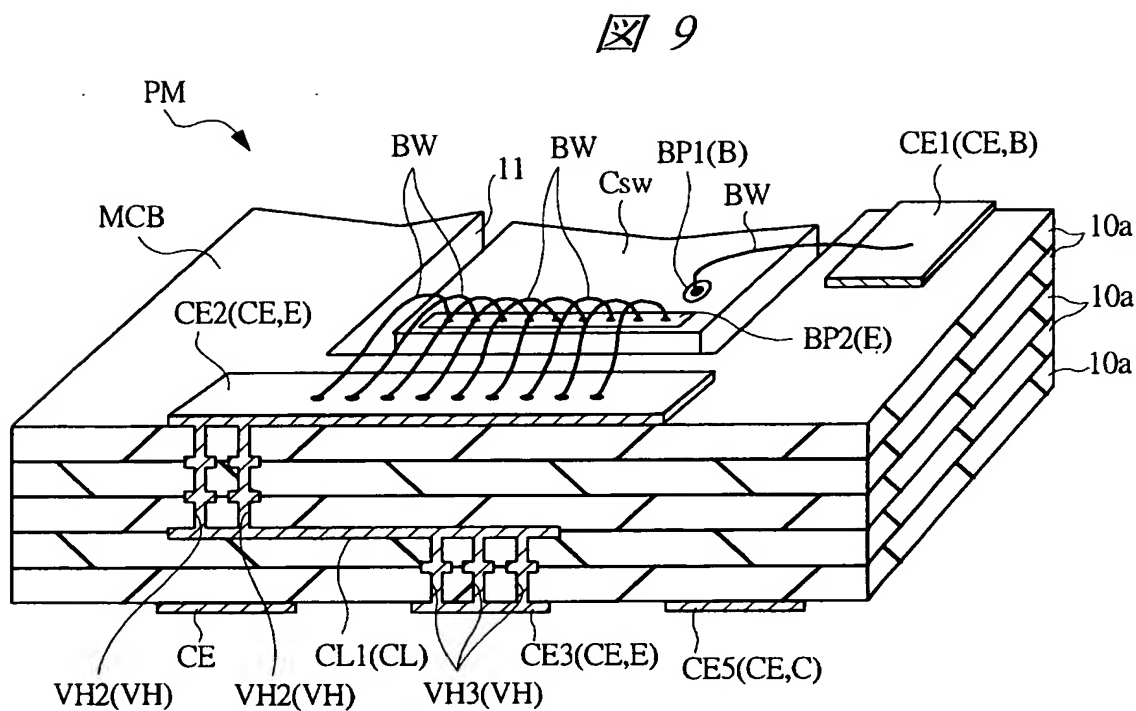
【図 7】



【図 8】



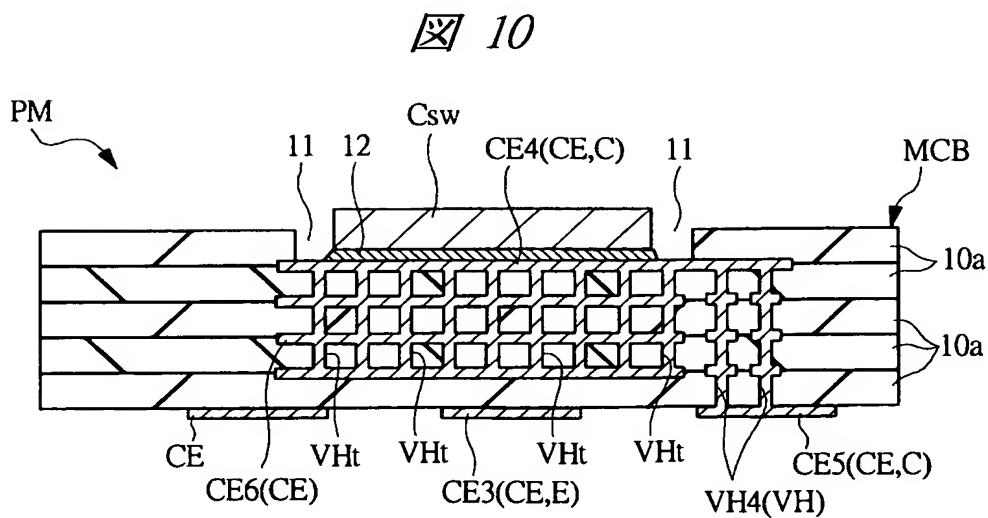
【图 9】



PM: パワーモジュール
MCB: モジュール基板
Csw: 半導体チップ
CE2: 電極
CE3: 電極

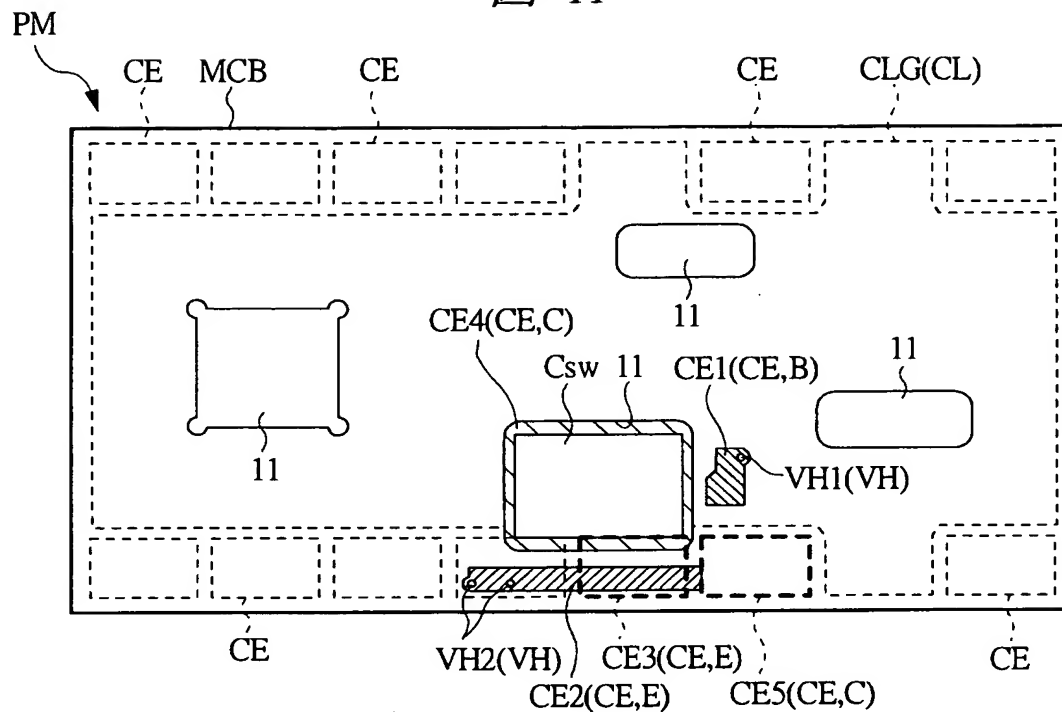
CL1: 配線
VH2: ビアホール
VH3: ビアホール

【図 10】



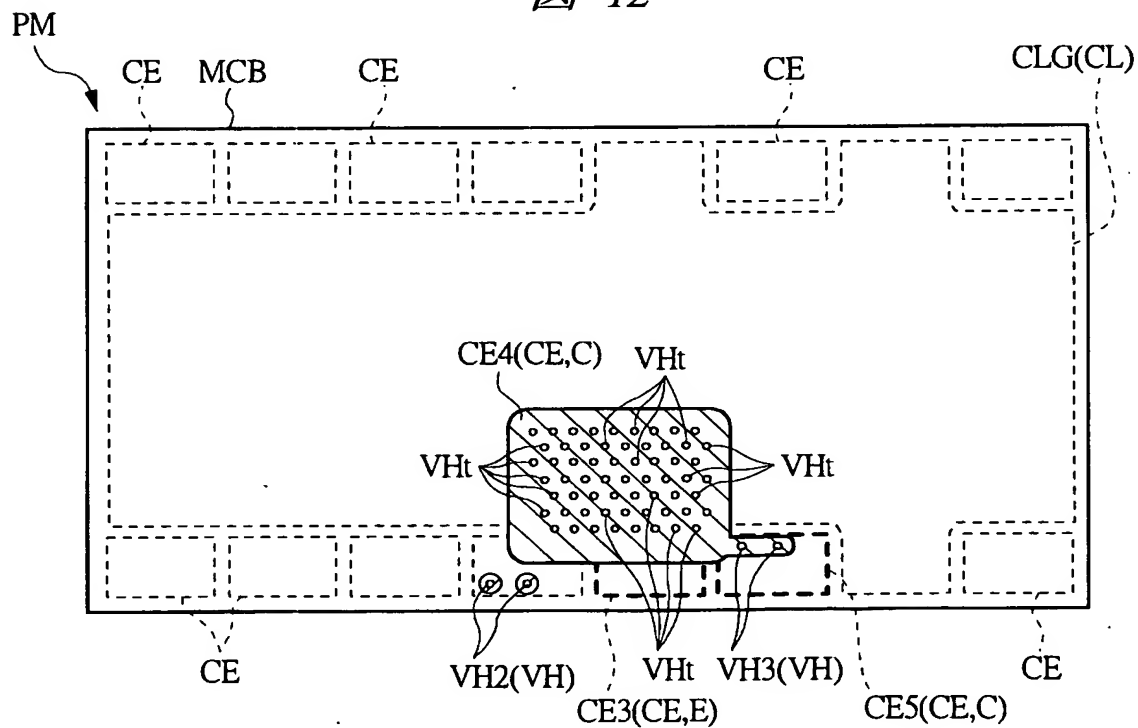
【図 11】

図 11



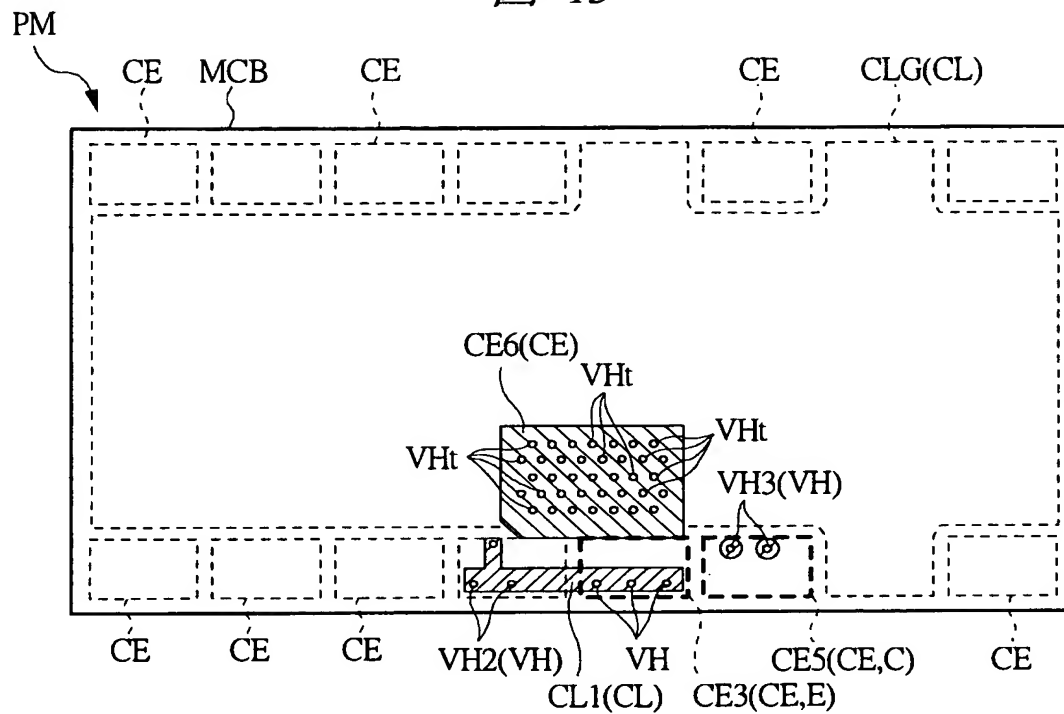
【図 12】

図 12



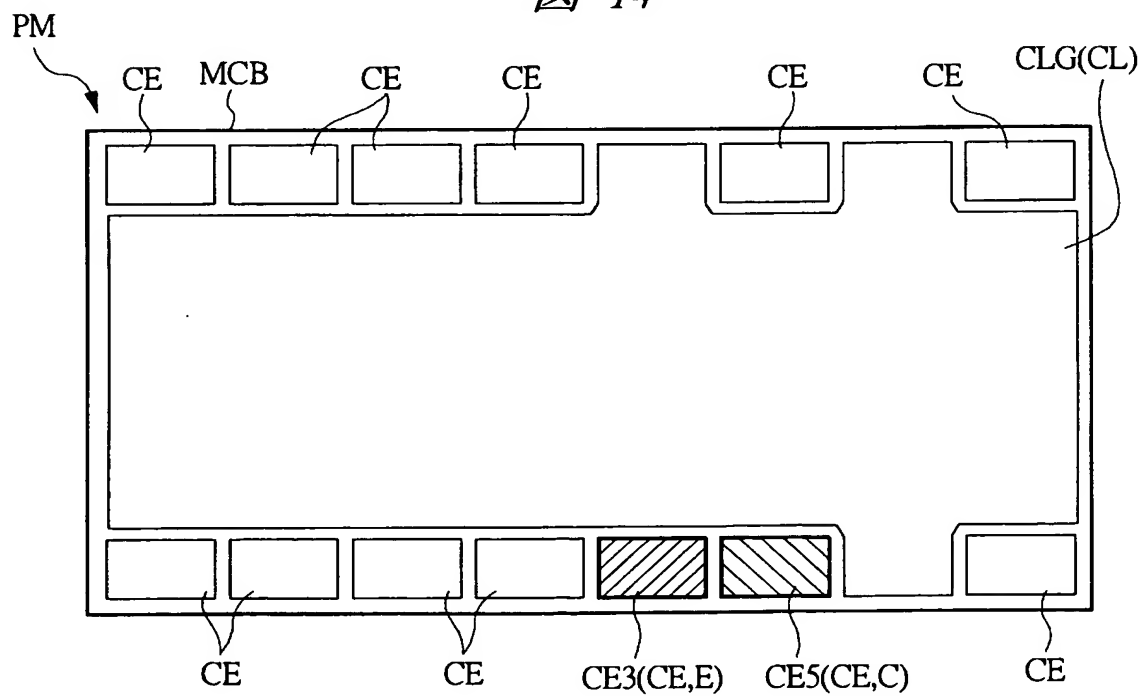
【図 13】

図 13



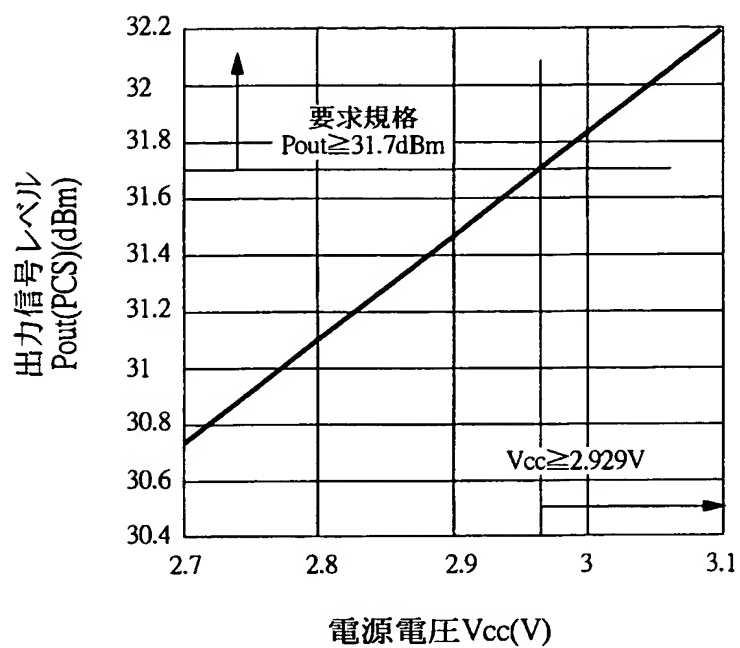
【図 14】

図 14



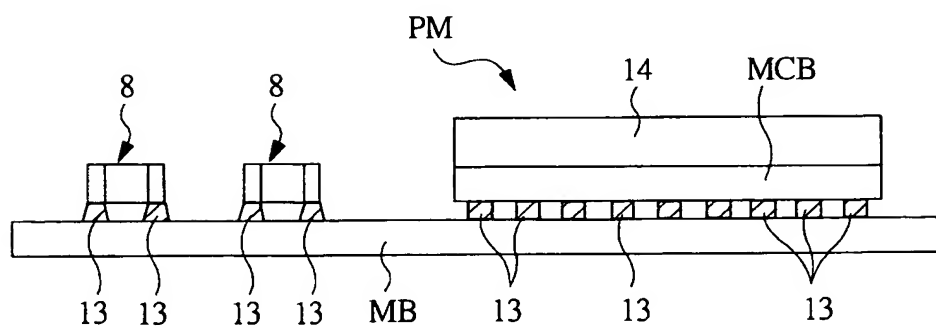
【図 15】

図 15



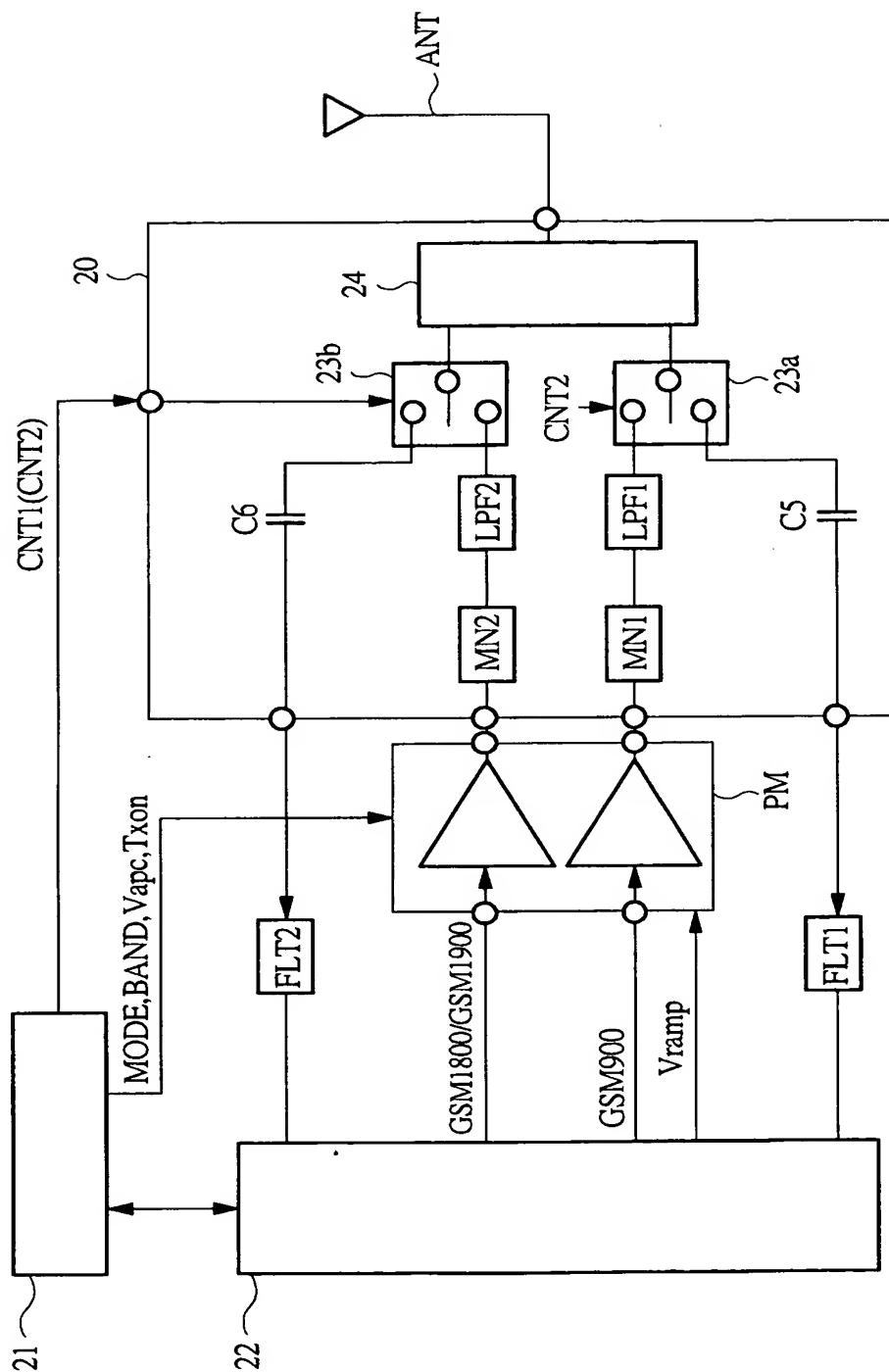
【図 16】

図 16



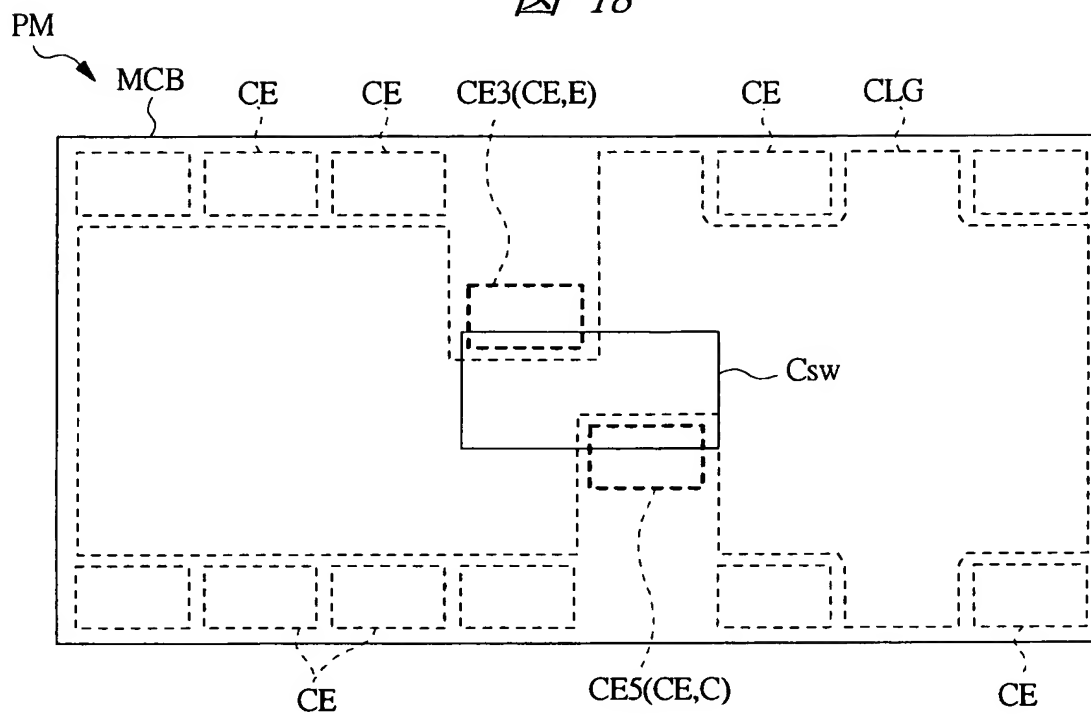
【図 17】

図 17



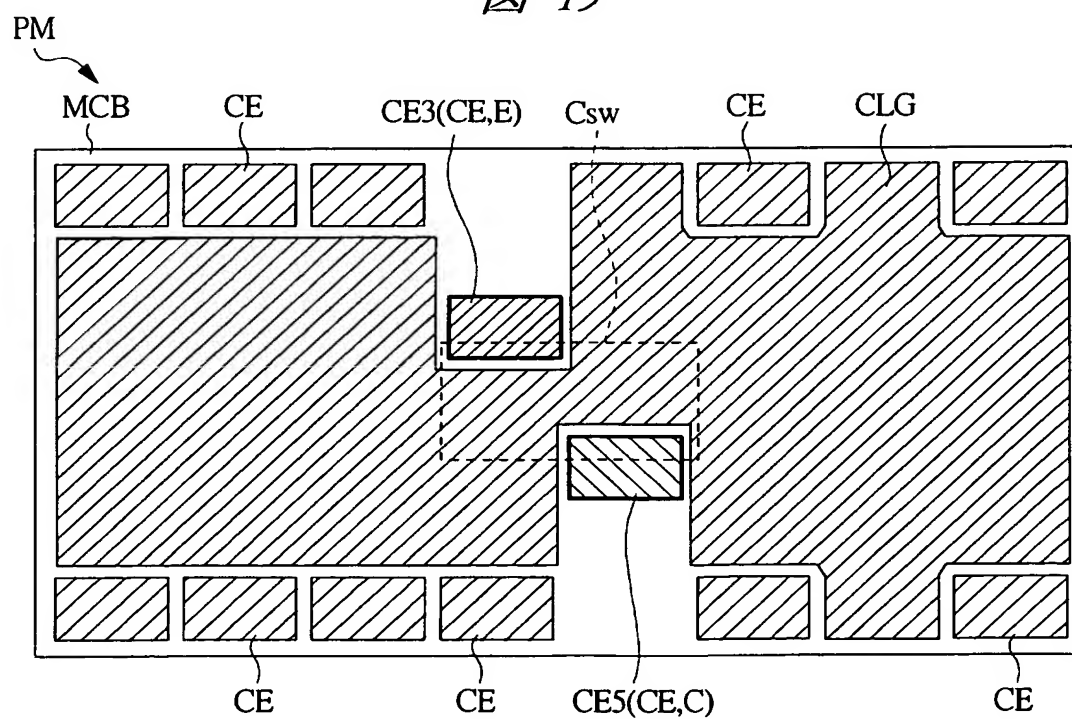
【図 18】

図 18



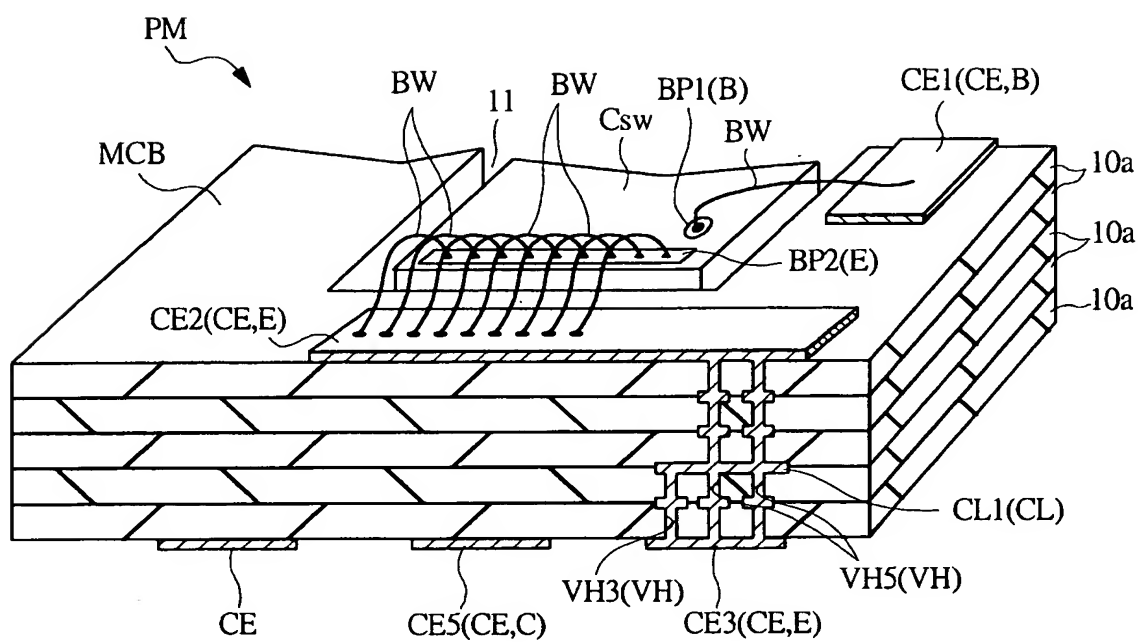
【図 19】

図 19



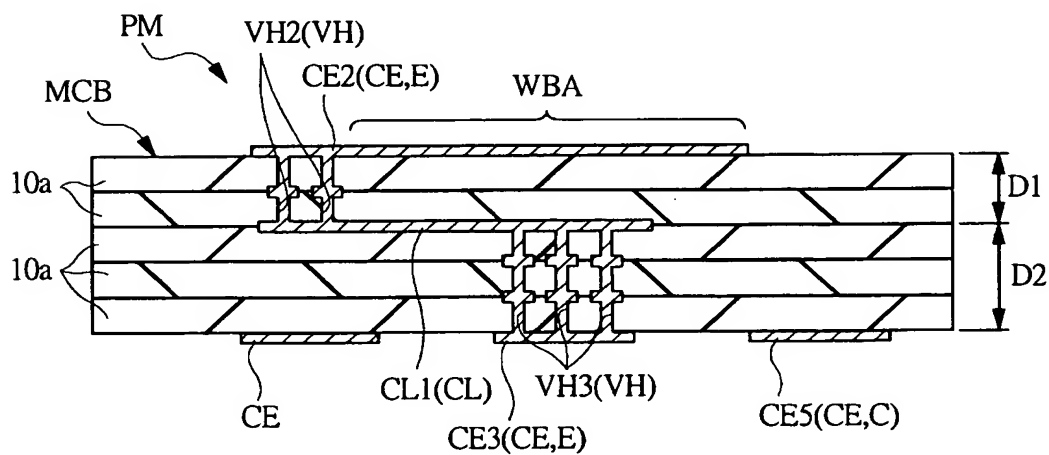
【図 20】

図 20



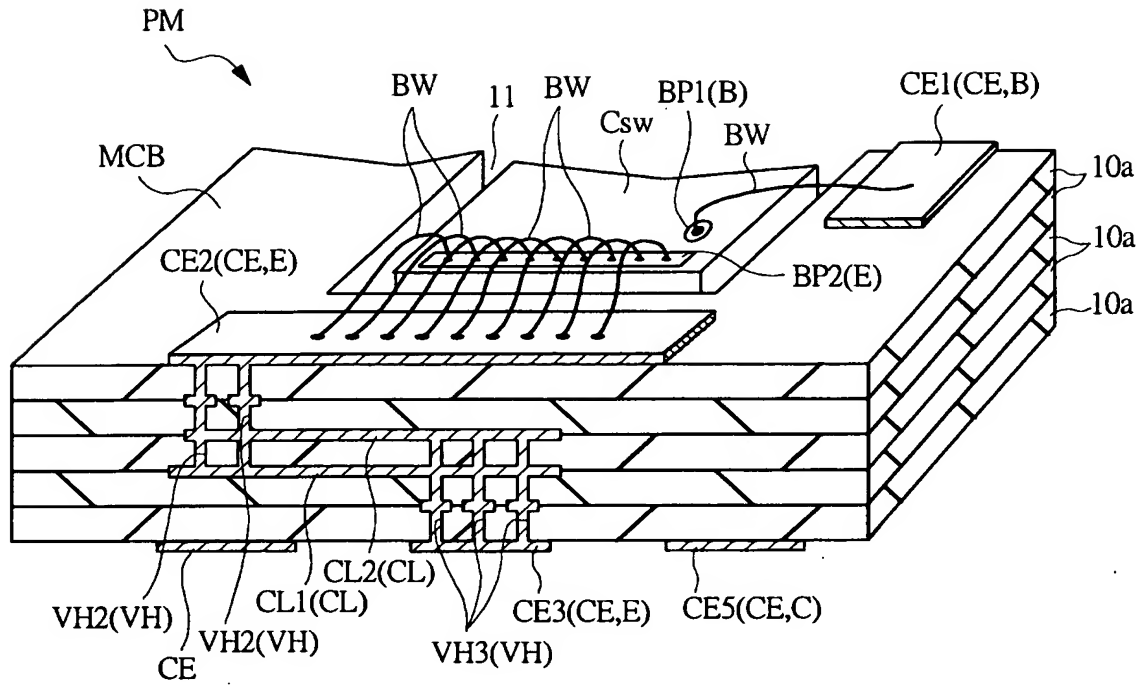
【図 21】

図 21



【図 22】

図 22



【書類名】 要約書

【要約】

【課題】 半導体装置の出力特性を向上させる。

【解決手段】 デジタル携帯電話の R F パワーモジュール P M の増幅回路部に電源電圧を供給する電源制御回路のスイッチング素子が形成された半導体チップ C s w のエミッタ電極が接続されるモジュール基板 M C B の主面の電極 C E 2 を複数本のビアホール V H 2 を通じてモジュール基板 M C B の内層の配線 C L 1 に電氣的に接続し、さらにこの配線 C L 1 を、複数本のビアホール V H 3 を通じてモジュール基板 M C B の裏面の電源電圧供給用の電極 C E 3 と電氣的に接続した。

【選択図】 図 9

特願 2 0 0 3 - 1 0 7 2 4 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所

特願 2 0 0 3 - 1 0 7 2 4 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 0 0 9 9 7]

1. 変更年月日 2 0 0 2 年 5 月 1 7 日

[変更理由] 名称変更

住所変更

住 所 秋田県河辺郡雄和町相川字後野 8 5 番地
氏 名 株式会社アキタ電子システムズ